

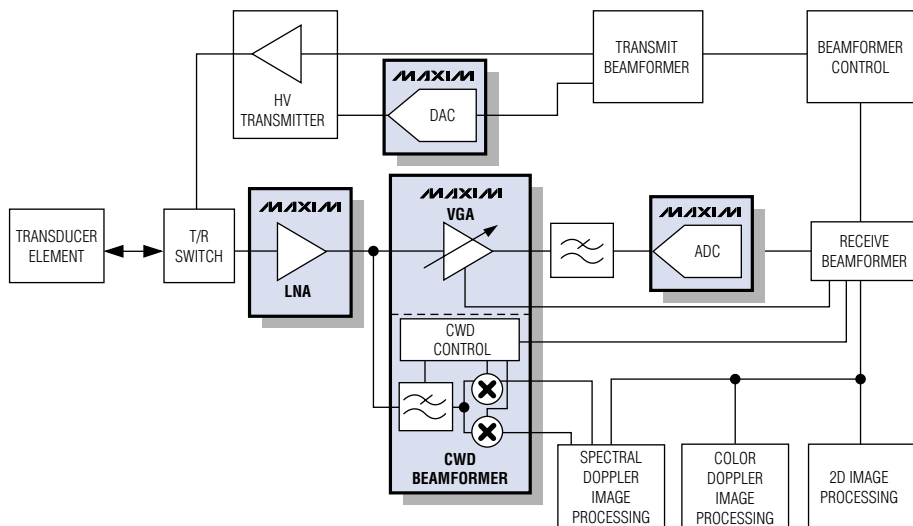
MAXIM Engineering Journal

Volume Sixty

LETTER FROM THE CEO

2

アーティクル	計測アンプに3つのオペアンプは多すぎる	3
	超音波レシーバVGAの出力換算ノイズと利得の最適化	9
	AC結合マルチドロップLVDSバス用の堅牢でフェイルセーフなバイアス回路	14
	1-Wireのチェーン機能を活用した位置情報の取得	16



典型的な医療用フェイズドアレイ超音波イメージングシステムの送受信チャンネル、ひとつを示します(12ページを参照)。

Letter from the CEO

Maxim : 真剣な技術パートナー

今まで、Maximが世に送りだしてきた製品は5,000を超えます。Maximほど、次々と革新を生み出す企業はほとんどないと言っていいでしょう。アナログIC製品もミックスドシグナルIC製品も、常に可能性の限界を塗りかえ、さまざまな最終製品で 사용되는数多くの製品と技術を進歩させ、次世代の機能を実現してきました。Maximが成功し続けることができるのは、顧客の設計に価値を付加する製品を企画し、開発し続ける能力があるからです。Maximが誇る世界トップクラスのエンジニアと豊富に蓄積されたユニークな独自プロセス技術を活用し、今後も、最先端の製品を開発し続けます。

Maximのエンジニアは、このような製品を作って欲しいという要望が顧客から出てくるのをじっと待っているようなことはしません。業界最先端の開発をし続けるため、Maximは、未来を見据え、顧客と緊密に協力し続けています。顧客の要望を実現するだけでなく、思いもしないような可能性を提示し、顧客のアイデアをふくらませることもMaximの仕事だと考えています。Maximを技術開発のパートナーだと考えていただけると幸いです。

しかし、製品が優れているだけでは不十分です。Maximでは、顧客とMaximの両者に利益をもたらす長期的な関係を構築することを主眼としており、そのためにはどのような努力も惜しみません。すでに、製造サイクルタイムを短縮し、納期厳守をさらに実現すべく、製造を初めとする様々な分野において改善を進めています。その効果はまもなく形になるものと思われまし、2007年夏には、納期厳守を大幅に向上させることが私たちの明確な目標となっています。

どのようなサービスを顧客に提供しているかも、同様に重要なポイントです。Maximでは、新製品のアップデート、フィールドアプリケーションエンジニアによる専門的な技術ガイダンス、各アプリケーションに特化した、そのまま利用可能な完全なリファレンスデザイン、発注や価格、納期などに対するきめ細かな対応など、様々なサービスを提供しています。

エンジニアのみなさんは、Maximの最重要顧客です。同じエンジニアとして、私は、自分の案件に採用した部品が、安定した性能、品質、および供給を満たしていると確信できることがどれほど大事であるかを理解しています。Maximの製品を採用されるとき、その背後に、今申し上げた様々な重要な要素に対して、Maximのコミットメントがあることを皆様を知っていただきたいと思います。



Tunç Doluca
President兼Chief Executive Officer

計測アンプに3つのオペアンプは多すぎる

高ゲインや高CMRRが要求される高精度アプリケーションでは、長い間、3個のオペアンプによる計測アンプが業界標準でした。しかし、最近のアプリケーションに多い単一電源での動作において、このアンプは重大な限界があります。このアーティクルでは、従来、使われてきたオペアンプ3個構成のアーキテクチャによる計測アンプの問題点を解説し、単一電源動作の計測アンプにおいて大きなメリットを持つ、マキシム特許の間接電流フィードバックアーキテクチャ[†]を紹介し、詳細な分析とともに、その証拠となる実験波形も紹介します。

計測アンプアプリケーション

計測アンプは入力インピーダンスが高いという特長を持ち、大きな共通モード電圧が存在する状態で微小な差動電圧を増幅する回路です。このため、圧力や温度を検出するひずみゲージのブリッジインタフェースや熱電対による温度検出、ローサイドおよびハイサイドの各種電流検出アプリケーションなど、さまざまなアプリケーションで広く使用されています。

オペアンプ3個構成の計測アンプ

代表的なオペアンプ3個構成の計測アンプ(図1参照)は、優れた共通モード除去と、抵抗1個で設定可能な正確な差動利得を持ちます。このアーキテクチャは2段構成で、初段はユニティゲインの共通モード利得と差動利得のすべて(あるいはほとんどすべて)、後段はユニティゲイン(あるいは小利得)の差動利得と共通モード除去のすべてを提供します(図2参照)。

最近の低電圧アンプはほとんどがレールトゥレール出力を持っていますが、レールトゥレール入力を必ず持つとは限りません。ここでは、非常に高ゲインのレールトゥレール入力と出力を備えたオペアンプ3個構成の計測アンプ(図1

のようなタイプ)を単一電源(V_{CC})で動作させる場合について検討します。

$V_{OUT} = \text{利得} \times V_{DIFF} + V_{REF}$ であるため、次式が成り立ちます。

$$\begin{aligned} (V_{OUT1}, V_{OUT2}) &= V_{CM} \pm (\text{利得} \times V_{DIFF}/2) \\ &= V_{CM} \pm (V_{OUT} - V_{REF}) / 2 \end{aligned}$$

V_{OUT1} と V_{OUT2} は電源電圧に達しないよう、次式の条件を満足する必要があります。

$$\begin{aligned} 0 < (V_{OUT1}, V_{OUT2}) < V_{CC} \\ (\text{つまり、} 0 < V_{CM} \pm (V_{OUT} - V_{REF}) / 2 < V_{CC}) \end{aligned}$$

ただし、

$$0 < V_{OUT} < V_{CC}$$

アプリケーションでは、一般に、 $V_{REF} = 0$ (ユニポーラ入力信号)とするか、 $V_{REF} = V_{CC}/2$ (バイポーラ入力信号)とします。

$V_{REF} = 0$ の場合、前述の不等式は、次式のように簡略化されます。

$$0 < V_{CM} \pm V_{OUT}/2 < V_{CC}$$

$V_{REF} = V_{CC}/2$ の場合、前述の不等式は、次式のように簡略化されます。

$$0 < V_{CM} \pm V_{OUT}/2 \pm V_{CC}/4 < V_{CC}$$

これらの条件は、図3のグラフを見ると最もわかりやすくなります。

図3においてグレーで表示した領域は、図1に示すアンプ(A1とA2)の出力が電源電圧まで飽和しない、入力共通モード電圧のレンジ(入力差動電圧に対する相対値)です。このレンジは、 V_{OUT} と V_{REF} によって変化します。これは、 $V_{OUT} - V_{REF}$ が入力差動電圧を増幅したものであるため、許容される共通モード入力のレンジは入力差動電圧によって変化します。

実際問題としては、もちろん、回路の利得を最大限に活用し、最大差動電圧が入力にかかったとき、最大の出力スイング(V_{OUT})を得ることが最善です。 $V_{OUT} = 0$ あるいは $V_{OUT} = V_{CC}$ となるように最大入力差動電圧を計測

[†]米国特許#6,559,720

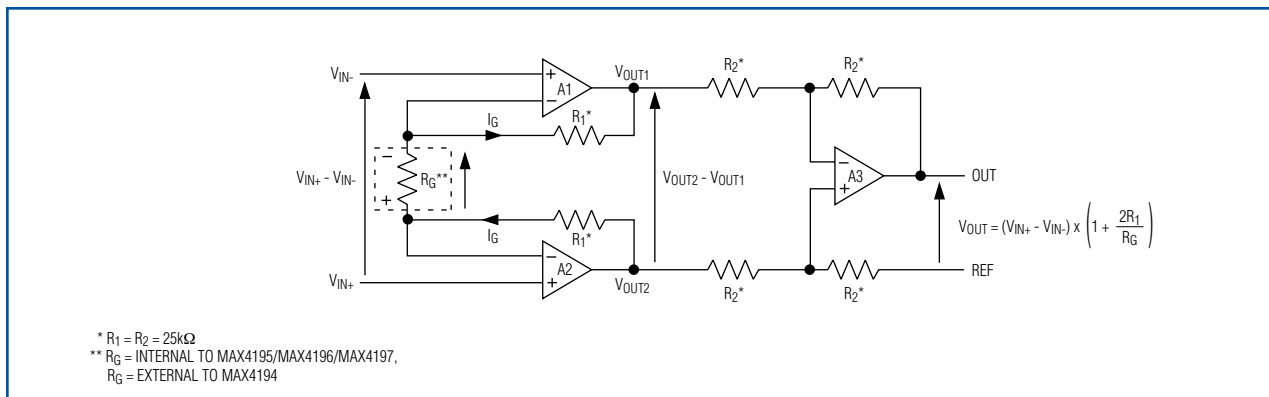


図1. オペアンプ3個構成の計測アンプであるMAX4194~MAX4197ファミリの内部アーキテクチャ

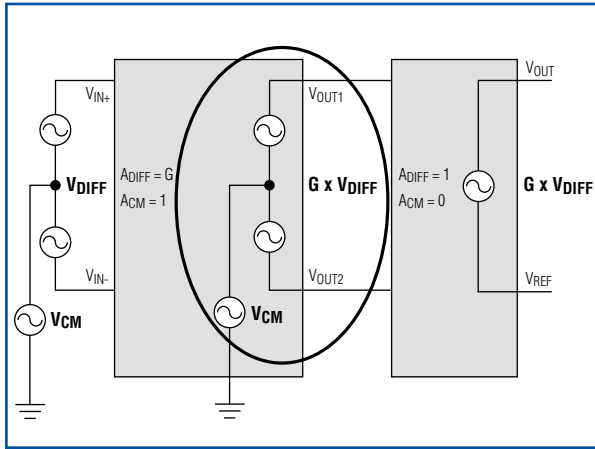


図2. 入力信号をこのように2段階で増幅する場合、入力共通モード電圧は中間(円で囲ったところ)を通過します。

アンプが増幅できる範囲が、図4において黒で示した領域です。

このように、いずれの場合も、入力共通モード電圧には大きな制限があります。特に、

- ユニポーラ入力差動信号をフルに増幅したい場合($V_{REF} = 0$ として、 $0 \sim V_{CC}$ のフル出力スイングを得たい場合)、信号には $1/2V_{CC}$ の共通モード電圧を伴わせる必要があります。共通モード電圧がこの値からはずれると、出力電圧が V_{CC} というフルスイングにならなくなります(最大入力差動電圧が低下する)。バイポーラ入力差動信号の場合($V_{REF} = 1/2V_{CC}$)、 $0 \sim V_{CC}$ のフルスイングの出力電圧を得ることができる入力共通モード電圧のレンジは $1/4V_{CC}$ から $3/4V_{CC}$ までとなります。
- いずれの場合も、入力共通モード電圧がグランド(0V)に等しいか近い場合、このアンプで入力差動電圧を増幅することはできなくなります。

つまり、(必要とする)入力差動電圧と(不要な)入力共通モード電圧との間には関係はないと仮定する場合、 V_{OUT} 全域が許容される V_{CM} の設計最小値と設計最大値は、黒で示した領域になります。この領域からはずれた場合、 V_{DIFF} と V_{CM} の組み合わせによっては、 V_{CM} が不適切になるおそれがあります。

なお、図4aにおいて、フルスケールの V_{CM} 変動幅が必要な場合、入力共通モード電圧精度がゼロになる点に注意する必要があります。要するに、入力信号において共通モードの変動がまったく許容されないということです。

そのため、単一電源システムでは、オペアンプ3個構成の計測アンプのアプリケーションが限られてしまうことがわかります。続けて、以下の2点について検討してみましょう。

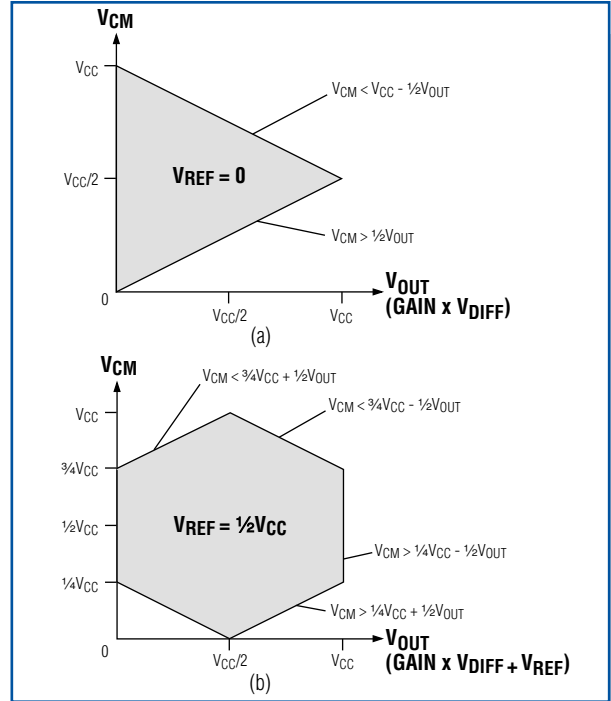


図3. オペアンプ3個構成の計測アンプを単一電源で動作させたとき、各入力差動電圧で利用可能な V_{CM} 。(a)は $V_{REF} = 0$ の場合、(b)は $V_{REF} = V_{CC}/2$ の場合です。横軸は増幅された入力差動電圧(V_{OUT})です。

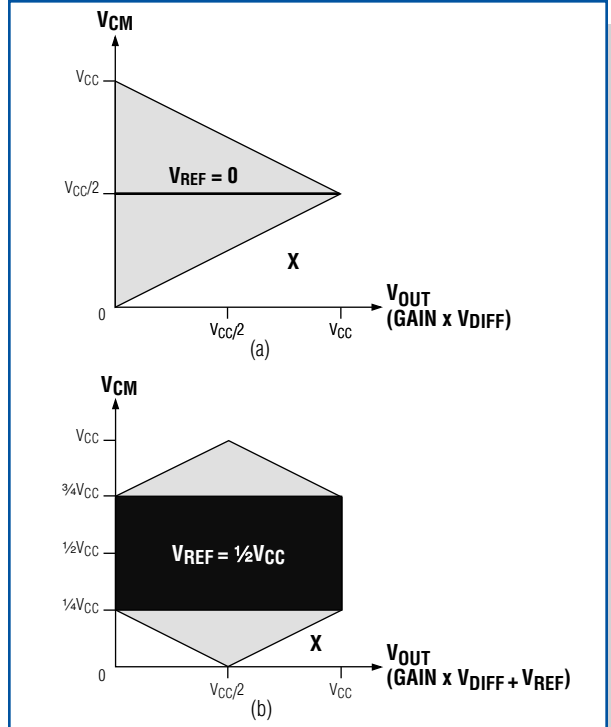


図4. 黒い四角の部分は、従来型のオペアンプ3個構成の計測アンプによる増幅で(最大入力差動電圧において)最大出力電圧を得ることができる入力共通モード電圧の範囲を示します。(a)は $V_{REF} = 0$ の場合、(b)は $V_{REF} = V_{CC}/2$ の場合です。

- (1) 内部のアンプ(A1とA2)が電源電圧まで飽和したら、何が起きるのか。
- (2) 入力アーキテクチャがレイルトゥレイルでない場合には、どうなるのか。

入力アンプ飽和の影響

アンプA1の出力がグランドに飽和したケースを考えてみましょう。つまり、 $V_{IN+} > V_{IN-}$ かつコモンモード電圧が図4のXという場合です(V_{DIFF} が、グレー領域で許される値よりも大きい)。

A1が飽和している($V_{OUT1} = 0$)ため、動作がコンパレータ(非直線)モードとなり、反転端子の電圧が非反転端子(V_{IN-})と異なる状態となります。その場合、アンプA2は非反転端子(V_{IN+})の電圧に対して $1 + R1 / (R1 + R_G)$ の利得を持つ非反転アンプとして動作します。高ゲインアンプということは $R_G \ll R1$ であり、アンプA2は2という非反転利得を持つアンプとなります。

$$V_{OUT2} = 2 \times V_{IN+} = 2 \times (V_{CM} + V_{DIFF}/2) \\ = 2 \times V_{CM} + V_{DIFF}$$

差動アンプの第2段、A3は、入力の V_{OUT1} と V_{OUT2} を比較して、その差を出力するだけです。

$$V_{OUT} = (2 \times V_{CM} + V_{DIFF}) + V_{REF}$$

同様に、A2がグランドに飽和したケースでは、以下のようになります。

$$V_{OUT} = -(2 \times V_{CM} - V_{DIFF}) + V_{REF}$$

この状態は、オペアンプ3個構成の計測アンプにとって危険な動作モードです。入力差動電圧の増幅をしなくなっただけでなく、何らかの方法で「思いやりを持って能力低下」しないで、入力差動電圧に対する相対的な入力コモンモード電圧を増幅するモードに入ってしまうからです。しかも、コモンモード電圧は基本的に制御されておらず、対象信号を劣化させる不要ノイズであることが多いことも、この問題をさらに悪いものとしします。もともとそのようなノイズを除去することが、計測アンプを使用する目的であるため、これはとても重大な問題です。

非レイルトゥレイル入力アーキテクチャの影響

前述のように、基本的に、アンプ出力はレイルトゥレイルとなっていますが、入力はレイルトゥレイルとなっておりません。高精度アプリケーションに対応するレイルトゥレイル入力段は設計が特に難しいと言えます。これは、 V_{CC} コモンモード電圧付近の動作とGNDコモンモード電圧付近の動作とのクロスオーバーが理想的とはなりえないからです。この遷移が起きると、入力差動段におけるnタイプとpタイプのペア間にオフセット電圧が発生することがあります。高精度の計測アンプを設計するためには、低 V_{OS} と高CMRRが鍵です。CMRR = $\Delta V_{OS} / \Delta V_{CM}$ であるため、コモンモード電圧がクロスオーバー領域をこえて変化するときの V_{OS} 変化が、CMRRを大幅に劣化させてしまいます。

そのため、負レイル(0V)を入力コモンモード電圧レンジ内に持つてはいるものの、高精度計測アンプは、基本的に非レイルトゥレイル入力のタイプとなる傾向があります。図3で入力コモンモード電圧の制限を考慮し、グラフを描き直すと、図5のようなグラフとなります。

間接電流フィードバックアーキテクチャ

間接電流フィードバックアーキテクチャは、計測アンプの新しい設計手法ですが、いろいろなメリットがあり、非常に人気のある方式となりました。計測アンプのMAX4462とMAX4209における間接電流フィードバックアーキテクチャを示したものが図6です。

新しいこのアーキテクチャでは、1つの高ゲインアンプ(C)と2つの相互コンダクタンスアンプ(AとB)を使用します。2つの相互コンダクタンスアンプは、いずれも、入力差動電圧を電流に変換するとともに、入力コモンモード電圧を完全に除去して出力します。アンプの安定動作点では、アンプAの g_m 段からソースされる出力電流がアンプBの g_m 段によってシンクされる入力電流と等しくなります。この電流マッチングを実現しているのが、フィードバックアンプBの入力にかかる差動電圧をアンプAの入力にかかる差動電圧と強制的に等しくする、高ゲインアンプCによるフィードバックです。この設計では、出力抵抗チェーンとR2に定められた電流($V_{DIFF} / R1$ に等しい)が流れます。つまり、OUTに出てくる出力電圧は、入力差動電圧に利得をかけたものとなります(利得 = $1 + R2 / R1$)。標準的なオペア

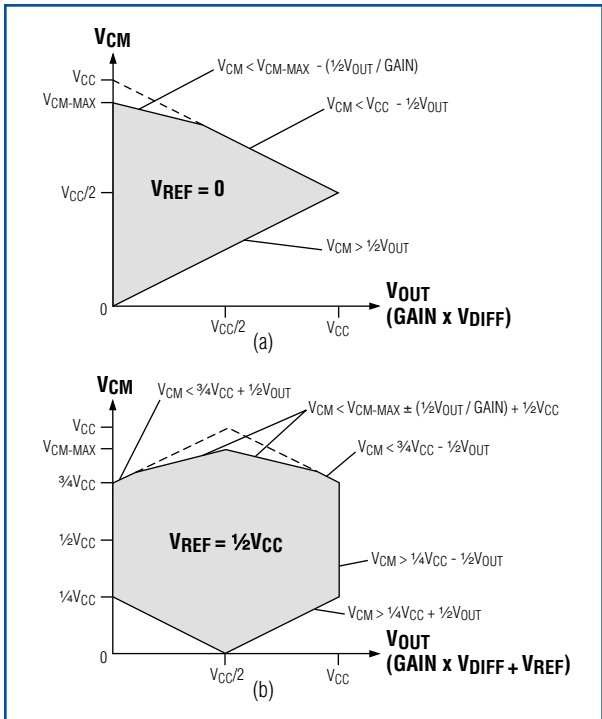


図5. オペアンプ3個構成の計測アンプを単一電源で動作させたとき、各入力差動電圧で利用可能な非レイルトゥレイル入力段を考慮に入れた入力コモンモード電圧。(a)は $V_{REF} = 0$ の場合、(b)は $V_{REF} = V_{CC}/2$ の場合です。

アンプ3個構成の計測アンプと同じように、REFに任意のリファレンス電圧をかけ、出力にオフセットを加えることもできます。

図7はこの動作を高レベルのブロックダイアグラムとしたもので、これを図2と比較すると、どのようなメリットを持つかが明確にわかります。オペアンプ3個構成の計測アンプの場合、中間部分における信号は利得をかけた差動電圧だけでなく、入力コモンモード電圧も含んでいます。これに対し、間接電流フィードバックアーキテクチャでは、入力差動電圧の最新状態を表すものだけとなります。コモンモードは、すべて、初段で除去されます。第2段は、コモンモード除去を補強するとともに差動利得を提供し、必要に応じてリファレンス電圧によって出力をオフセットします。つまり、オペアンプ3個構成の計測アンプに存在した入力コモンモード電圧の制限が、間接電流フィードバックアーキテクチャでは存在しないのです。

入力コモンモード電圧の制限(つまり非レイルトウレイル入力段)を考慮すると、伝達特性は図8のようになります。黒い領域が、フルレンジの出力電圧が得られる入力コモンモード電圧の設計限界を示します。グレーの領域は、計測アンプが期待通りに動作する、つまり、入力差動電圧に利得をかけた電圧が出力に得られ、入力コモンモード電圧が完全に除去される入力コモンモード電圧のレンジです。

実験結果

間接電流フィードバックに関するここまでの検討結果を支持する実験結果が得られています。ここでは、MAX4197とMAX4209Hを比較します。いずれも、利得100を持つ計測アンプですが、MAX4197はオペアンプ3個構成型、MAX4209Hは間接電流フィードバック型です。ふたつの計測アンプとも、 $V_{CC} = 5V$ 、 $V_{REF} = 2.5V$ として、デバイスのゼロ出力をオフセットしました。

この実験では、2種類の波形を計測アンプに加えしました。

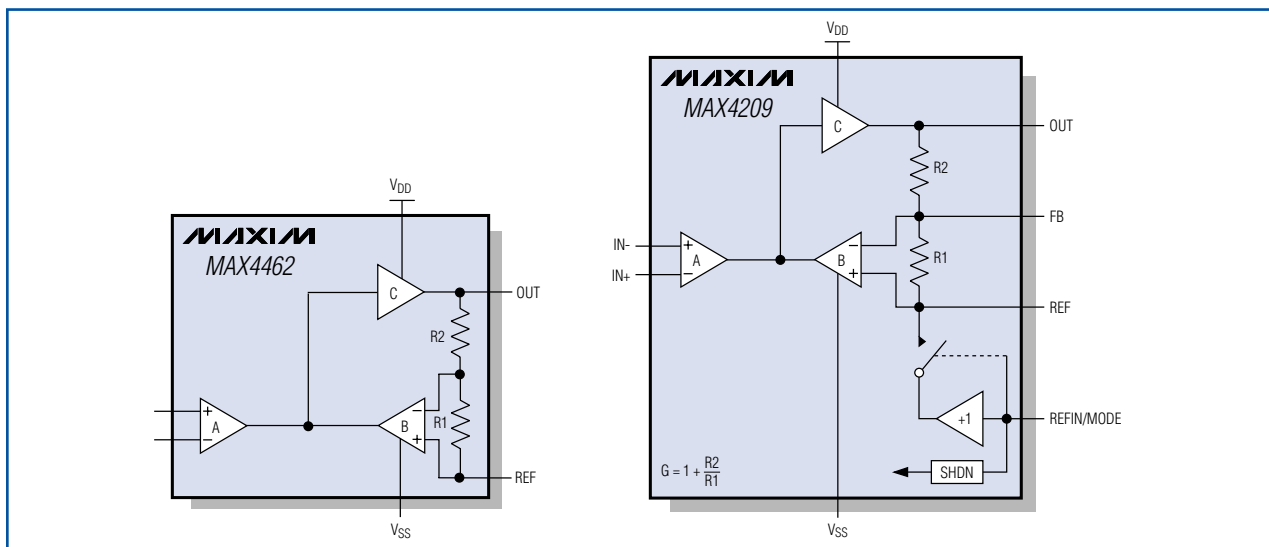


図6. 計測アンプのMAX4462とMAX4209には、間接電流フィードバックアーキテクチャが採用されています。

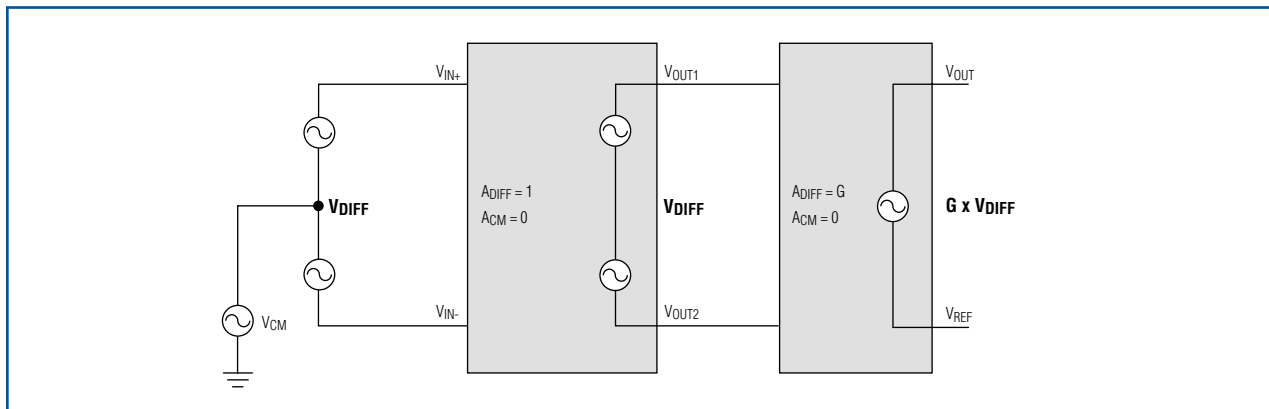


図7. 間接電流フィードバック計測アンプでは、第1段の出力にコモンモード電圧が出ることはありません。

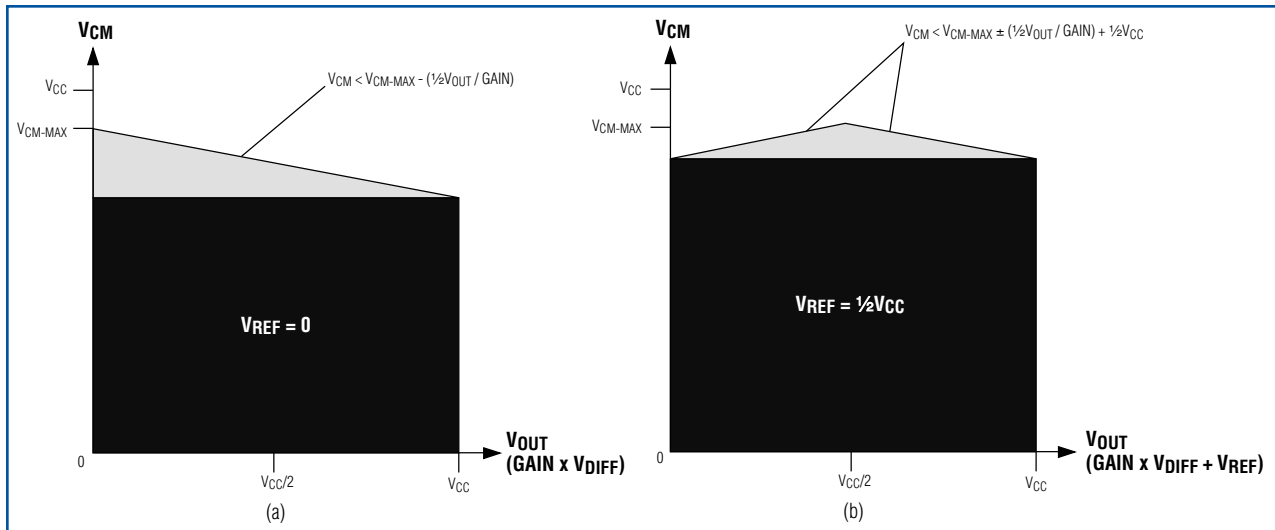


図8. 間接電流フィードバック計測アンプにおいて使用可能な入力コモンモード電圧のレンジをグレーと黒で示します。(a)も(b)も黒で示した領域(グレー領域に含まれる)では、フルスイングの出力電圧を得ることができます。

ケース1は100Hzの大きなコモンモード電圧が存在する状態で、1kHzの差動電圧を入力しました。計測アンプの出力は、1kHzの信号だけで100Hz成分がないことが期待されます。これらの波形は、次式で近似できます。

$$V_{IN+} = \text{サイン波振幅} = 2V_{p-p}, \\ \text{オフセット} = 1V, \text{周波数} = 100\text{Hz}$$

$$(V_{IN+} - V_{IN-}) = \text{サイン波振幅} = 30mV_{p-p}, \\ \text{オフセット} = 0, \text{周波数} = 1\text{kHz}$$

ケース2は、1kHzの大きなコモンモード電圧が存在する状態で、100Hzの差動電圧を入力しました。計測アンプの出力は、100Hzの信号だけで1kHz成分がないことが期待されます。これらの波形は、次式で近似できます。

$$V_{IN+} = \text{サイン波振幅} = 2V_{p-p}, \\ \text{オフセット} = 1V, \text{周波数} = 1\text{kHz}$$

$$(V_{IN+} - V_{IN-}) = \text{サイン波振幅} = 30mV_{p-p}, \\ \text{オフセット} = 0, \text{周波数} = 100\text{Hz}$$

結果は次の通りとなりました。なお、チャンネル1が V_{IN+} 、チャンネル2が V_{IN-} 、チャンネル3が計測アンプの出力です。

ケース1の結果

図9aに示すように、MAX4209Hからは期待通りの出力が得られました。MAX4197が期待通りの動作をするのは、入力コモンモード電圧がグラウンド以上という条件においてのみでした(図9b)。MAX4197の出力電圧には、明らかに100Hz成分が乗っています。

ケース2の結果

こちらも、MAX4209Hからは期待通りの出力が得られました(図10a)。MAX4197は、コモンモード電圧がグラウンドを大きく上回った状態においてのみ、入力差動信号の増幅を行いました(図10b)。コモンモード電圧がグラウンド近くになると、飽和したのがA1かA2かにより、出力電圧はコモンモード電圧を反転したものが、あるいはそれをバッファしたただけのものとなります(前述の通り)。

まとめ

電子機器の高性能化は急速に進んでおり、消費者は、高性能はもとより、バッテリーの長寿命化やエネルギー効率の向上を可能にするインテリジェントなパワーマネジメントの方式も求めるようになりました。そして、デュアル電源のアナログ回路から単一電源アーキテクチャへの移行が進んでおり、電子機器の設計方法や使い方が大きく変化しつつあります。昨日の夢を今日形にするのが、このアーティクルで紹介した間接電流フィードバックアーキテクチャなどの画期的なアーキテクチャです。

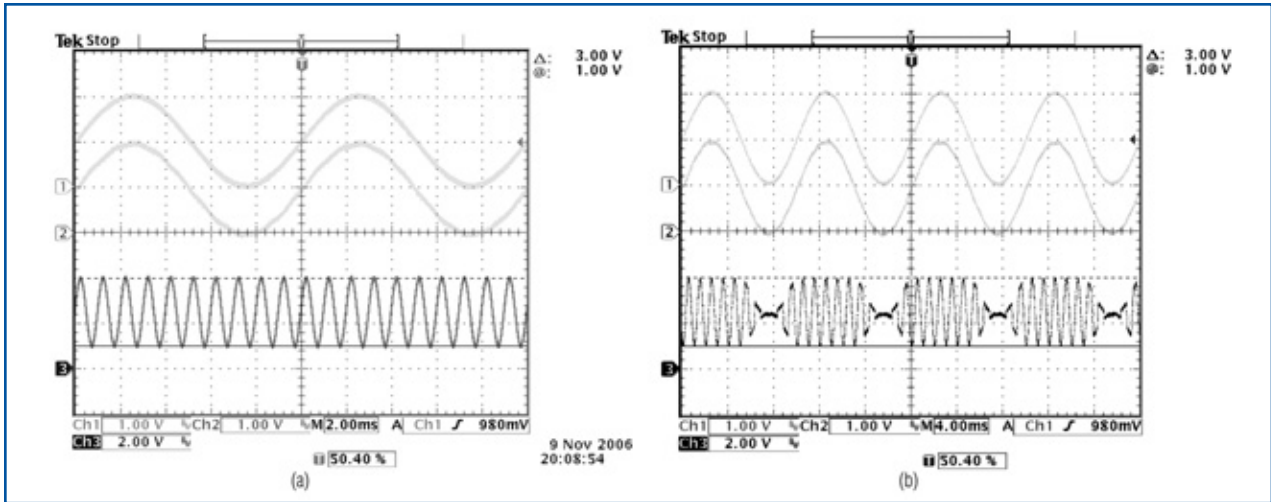


図9. ケース1の結果。(a)は間接電流フィードバックアーキテクチャを採用したMAX4209H、(b)はオペアンプ3個構成によるMAX4197です。入力1と入力2のトレースは、100Hz V_{CM} が支配的であり、1kHzの V_{DIFF} は見えないほど小さいことがわかります。

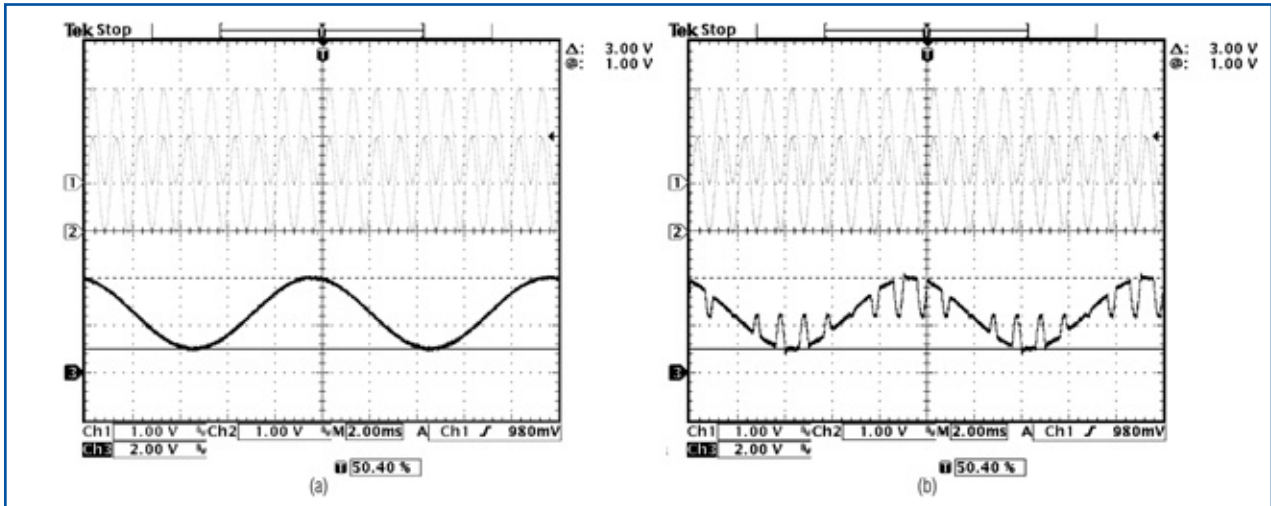


図10. ケース2の結果。(a)は間接電流フィードバックアーキテクチャを採用したMAX4209H、(b)はオペアンプ3個構成によるMAX4197です。図9と同じように、オペアンプ3個構成の計測アンプでは、所望する出力に1kHz V_{CM} がかがっていることがわかります。間接電流フィードバックアーキテクチャは、優れた性能を発揮しています。

超音波レシーバVGAの出力換算ノイズと利得の最適化

ドップラー法のダイナミックレンジと感度を改善

フェーズドアレイ超音波レシーバを左右するほど重要な部品が、時間ゲイン制御(TGC)アンプと呼ばれることもある可変利得アンプ(VGA)です。このアークティクルでは、VGAの出力換算ノイズと利得が超音波パルスドップラー法のダイナミックレンジと感度にどのような影響を与えているか、また、8回路超音波VGAのMAX2037が標準的なレシーバラインアップにおいて高い総合性能を発揮するためにこれらのパラメータをどのように最適化しているかについて紹介します。

フェーズドアレイレシーバの概要

これらのVGAの仕様がドップラー性能にどのような影響を与えるかを検討する前に、まず、標準的なフェーズドアレイ超音波受信チャンネルの基本構成と動作を確認しておきます。フェーズドアレイ超音波レシーバに関する高レベルの概要は、アペンディックスA「フェーズドアレイ超音波システムの基本」をご覧ください(12ページ)。レシーバラインアップは、通常、LNA、VGA、アンチエイリアスフィルタ、およびADCで構成されます(図1)。LNAは、1つのトランスデューサエレメントから得られる1MHzから15MHzまでの出力をシングルエンド入力信号として増幅を行います。利得は約19dB、アクティブ入力インピーダンスは50Ωから1kΩで、トランスデューサエレメントとマッチングし、超低雑音指数が得られるように最適化されています。

送信バーストの直後、受信サイクルの最初におけるLNA入力信号は、0.5V_{p-p}にも達することがあります。受信中に信号強度は次第に低下し、最終的にはレシーバのノイズフロア以下となります。人体における音響エネルギーの減衰率が約0.7dB/cm-MHz(往復で1.4dB/cm-MHz)であること、また、人体における音の伝播速度が1540m/s(往復で13μs)であることを用いると、この減衰率を計算することができます。受信サイクル全域にわたってこの信号を処理するためには、約110dBのダイナミックレンジが必要となりますが、これは、現実的なADCコンバータのレンジではとてもカバーすることができません。そのため、レシーバでは、利用可能なADCの入力ダイナミックレンジに信号をマッピングするため、VGAによって受信サイクル中に利得を動的に増加させていくようになっています(これが「時間ゲイン制御」と呼ばれる理由)。70dBのダイナミックレンジを持つ12ビットADCを使用すると、受信信号をマッピングするためには、約40dBの利得レンジを持つVGAが必要です。図1の受信チェーンには3ポールのアンチエイリアスフィルタが挿入されていますが、これは、正常なイメージング周波数の上限である15MHzを超える外来信号や高周波数ノイズをADCにマッピングしないためのものです。ADCとしては、通常、40MSPS動作から60MSPS動作の12ビットADCを使用します。

VGAの出力換算ノイズと利得、およびそのPWドップラーに対する影響

標準的な2D、グレースケールの超音波イメージングでは、各フェーズドアレイチャンネルにおいて約40dBのダイナミックレンジを必要とします。これに対し、周辺組織の信号と比較して血液から得られる信号は強度が極端に低い場合、スペクトルPWドップラー法やカラーフローイメージングなどのパルス型ドップラーイメージングでは、70dBものダイナミックレンジが必要になります。そのため、高ダイナミックレンジの12ビットADCを用いてレシーバのドップラー性能を引き上げます。

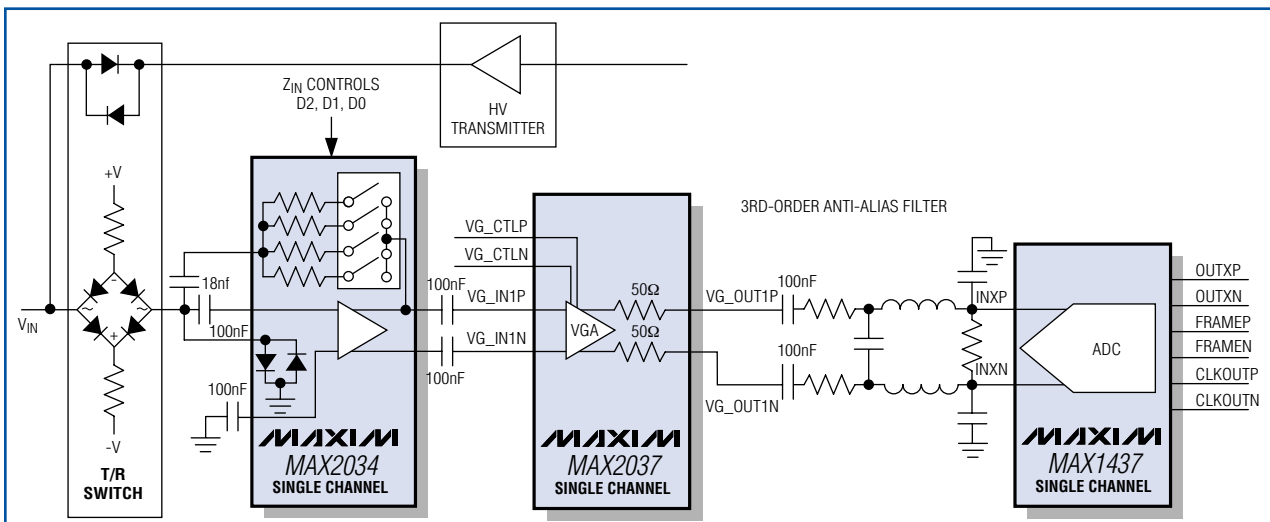


図1. LNA、VGA、アンチエイリアスフィルタ、およびADCで構成された標準的なフェーズドアレイ超音波レシーバラインアップ

超音波レシーバラインアップにおいて、これらのADCに対応するVGAを設計することは、とても困難な作業です。具体的には、高TGCレベルでもレシーバの雑音指数を低く抑えることができるだけの利得を確保しつつ、出力換算ノイズを低く抑えて十分なレシーバダイナミックレンジを確保することが困難です。低い出力換算ノイズと大きな最大利得は、VGAの実装では、基本的に互いに背反する特性だからです。このアプリケーション用にVGAを設計する場合には、このふたつのVGA特性を適切なバランスとなるように最適化し、レシーバの総合性能を高める必要があります。

これらのVGA特性がどのようにレシーバ性能に影響するかを理解するため、2つのケースを検討してみましょう。ひとつは、TGCが中ゲインから低ゲインで、受信信号レベルが比較的高い場合です。このような条件のもとでは、レシーバのダイナミックレンジを最適化することが重要です。もうひとつのケースは、TGCが最大利得となっており、受信信号レベルが小さい場合です。このような条件のもとでは、レシーバ雑音指数を最適化して十分な感度を確保することが必須となります。

レシーバのダイナミックレンジに対するVGA出力換算ノイズの影響 (TGC利得が中～低の場合)

TGCレベルが中～低の範囲では、VGA出力ノイズの大半はVGAの出力換算ノイズによるものです。ADCのダイナミックレンジを狭めないためには、このノイズがADCのノイズフロアよりも大幅に小さい必要があります。図1の超音波レシーバラインアップを例に考えてみましょう。MAX2037のVGAの出力換算ノイズは $22\text{nV}/\sqrt{\text{Hz}}$ 程度です。そのVGA出力をデジタル化する12ビット、50Msps ADCのMAX1437は、最大入力電圧が $1.4\text{V}_{\text{P-P}}$ 、SN比が70dB、ノイズフロアは $31.7\text{nV}/\sqrt{\text{Hz}}$ です。この例でVGAとADCとの間に入っているパッシブアンチエイリアス

フィルタの通過帯域における減衰率が0dBであるならば、VGAの出力換算ノイズによって、ADCのSN比70dBは実質的に1.7dB引き下げられ、68.3dBとなります。しかし現実には、このようなアプリケーションで使用されるアンチエイリアスフィルタは、通過帯域においても若干の減衰が発生します。

動作を安定させるため、VGAは基本的に、このフィルタを駆動する実数インピーダンスを出力に持つ必要があります。このインピーダンスは、フィルタ側のキャパシタ値が非現実的なほど小さくならないよう、十分に大きな値でなければなりません。このような制約条件があるため、現実のアンチエイリアスフィルタでは、通過帯域においても3dBから6dBの減衰が発生します。この通過帯域における減衰により、ADC入力に加えられる出力換算ノイズが小さくなり、ダイナミックレンジが向上します。通過帯域の減衰率が6dBの場合、MAX2037の出力換算ノイズによるADCのSN比の劣化は、わずか0.49dBにとどまります。

VGAがMAX2037を大きく超える出力換算ノイズを持つと、いろいろと問題が発生します。出力換算ノイズがMAX2037の約2倍となる $40\text{nV}/\sqrt{\text{Hz}}$ 程度のVGAであっても、アンチエイリアスフィルタの減衰率が6dBのとき、ADCのSN比は1.5dBも低下します。これは、イメージングが困難なパルストッパアプリケーションなどにおいては、大幅な低下だと言わざるを得ません。なお、アンチエイリアスフィルタの減衰はレシーバの利得を引き下げするため、レシーバの雑音指数に大きな悪影響を与えることになります。この点については、次のセクションで詳細に検討します。

MAX2037は、出力換算ノイズが競合デバイスの半分程度となっています。また、12ビットADCと現実的なパッシブアンチエイリアスフィルタを組み合わせたとき、ダイナミックレンジを最適化し、かつ、レシーバ雑音指数の劣化を防止できるように、非常に高い最大利得を持っています。図2に、MAX2037の出力換算ノイズを利得の関数として示します。

レシーバの雑音指数に対するVGA出力換算ノイズの影響 (高TGC利得の場合)

高TGC、つまり、レシーバ感度が小信号に最適化されている場合、VGA出力換算ノイズとADCノイズフロアの合計が、ADC入力に加えられる増幅後のトランスデューサノイズフロアよりも大幅に小さい必要があります。

図3は超音波レシーバの簡略化したブロックダイアグラムで、これを見ると、ADC前のレシーバ利得が雑音指数に与える影響がわかります。このレシーバラインアップは、19dBの利得を持つウッドLNAのMAX2034と29.5dBの最大利得を持つVGAのMAX2037、8回路、12ビットADCのMAX1437という構成を仮定しています。アンチエイリアスフィルタは通過帯域において6dBの減衰を持つとも仮定しています。トランスデューサのインピーダンスを 200Ω とすると、サーマルノイズフロアは $V_N = \sqrt{4 \times K \times T \times R \times \Delta F}$ 、つまり、 $1.8\text{nV}/\sqrt{\text{Hz}}$ となります。LNAの Z_{IN} を 200Ω とすると、この値の半分($0.9\text{nV}/\sqrt{\text{Hz}}$)が、LNA入力におけるサーマル

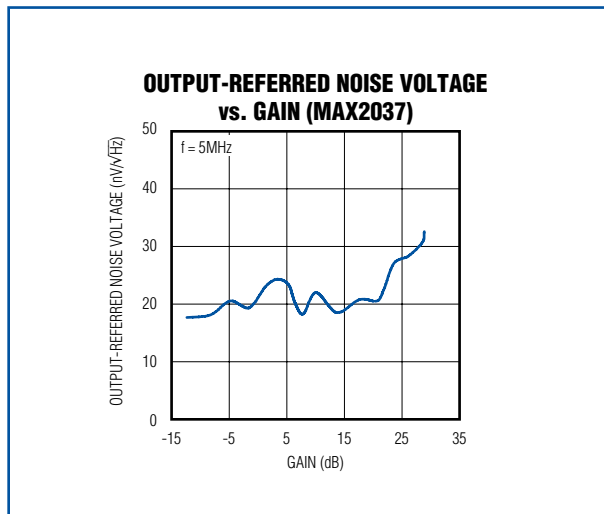


図2. MAX2037は出力換算ノイズが競合デバイスの半分程度で、利得は大幅に高くなっています。

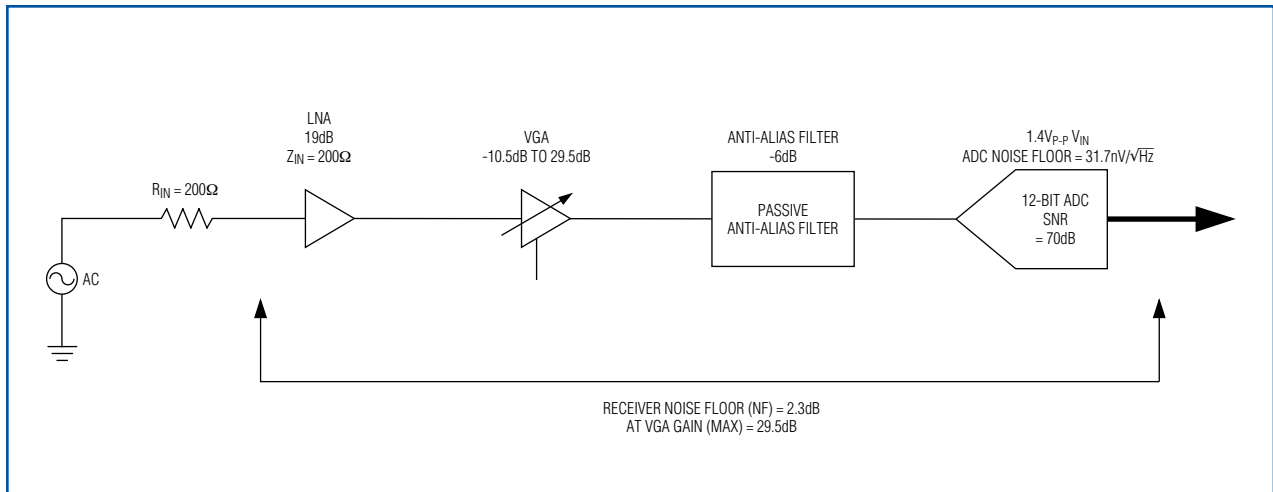


図3. シンプルな超音波レシーバのブロックダイアグラム—ADC上流の利得によって雑音指数性能が影響を受けます。

ノイズフロアとなります。LNA、VGA、およびADCのノイズ特性から、レシーバラインアップ全体の雑音指数は約2.3dBとなります。MAX1437のノイズフロアは31.7nV/√Hz。TGCLレベルが最大となったとき、ADC上流の利得(アンチエイリアスフィルタを含む)は42.5dBとなります。この例におけるレシーバ入力に対するADCノイズは0.237nV/√Hzに過ぎず、そのため、レシーバ全体の雑音指数2.3dBのうち、ADCの寄与分は0.18dBのみとなります。

では、VGAの最大利得がもっと小さい場合やADCのノイズフロアがもっと高い場合はどうなるでしょうか。図3に示す標準的な超音波レシーバにおいて、小信号雑音指数にVGAゲインが与える影響を示したのが図4です。ADCノイズフロア

アについても、2つの値に対してプロットしてあります。なお、MAX2034の低ノイズ超音波LNAの利得は19dB、アンチエイリアスフィルタの減衰は6dBと仮定しました。図4の上側のプロットはMAX1437を使用した場合で、最大入力電圧は1.4V_{p-p}、SN比は70dB、ノイズフロアは約31.7nV/√Hzです。下側のプロットは、入力電圧が2V_{p-p}、SN比が70dB、その結果得られるノイズフロアが約45.2nV/√HzというADCを用いた場合です。2つのADCにおいてレシーバ雑音指数がどのような影響を与えるのかは、このグラフを見れば明らかです。また、MAX2037が持つ29.5dBという高い最大利得がレシーバの雑音指数を向上させることも明らかです。VGAの最大利得が小さいと、TGCLレベルが最大となったときレシーバ全体の雑音指

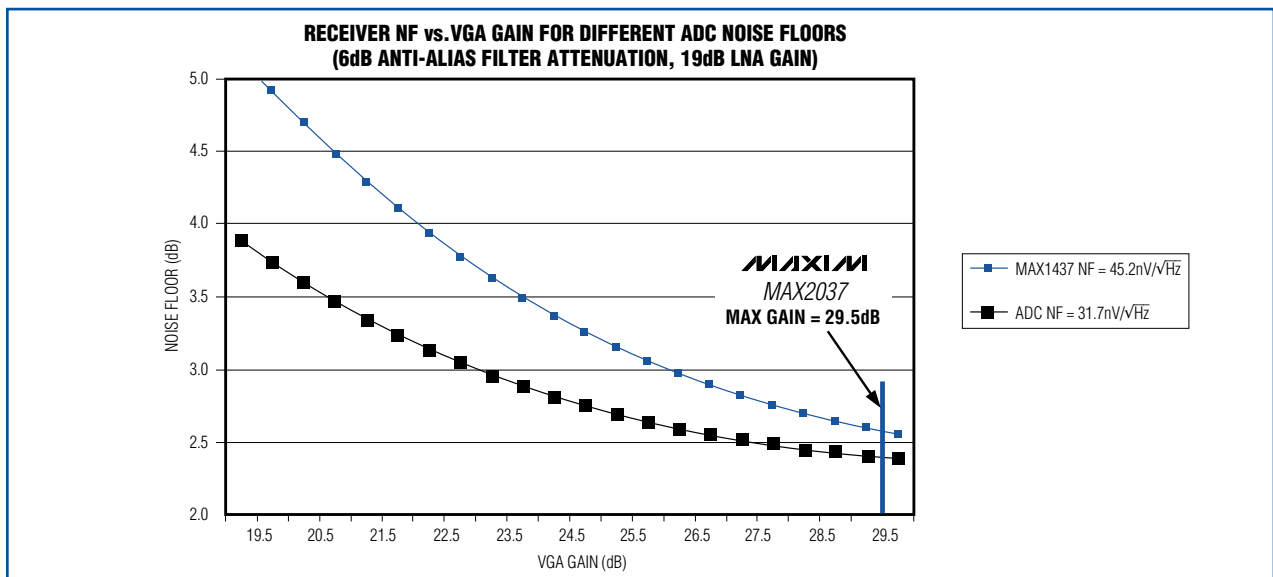


図4. 図3に示す超音波レシーバにおけるレシーバ雑音指数とVGA利得との関係

数が大きくなり、小信号時のドップラー感度が低下します。MAX1437のようにノイズフロアが低いADCとMAX2037のように最大利得が大きいVGAを用いると、雑音指数を大幅に改善することができます。

まとめ

超音波レシーバの感度を最適化するためには、VGAの出力換算ノイズと最大利得、アンチエイリアスフィルタの

減衰率、およびADCのノイズがレシーバのダイナミックレンジと雑音指数に与える影響を正しく把握し、対処することが重要です。VGAのMAX2037であれば出力換算ノイズと最大利得を最適化し、適切にバランスさせて、MAX1437などの12ビットADCに適切な入力とし、最高の性能を持つ超音波レシーバとすることができます。

アペンディックスA— フェーズドアレイ超音波システムの基本

フェーズドアレイ超音波システムに関する 高レベルのブロックダイアグラム

図5は、標準的な医療用フェーズドアレイ超音波イメージングシステムのブロックダイアグラムです。このようにフェーズドアレイアプローチとしたシステムでは、64~256の受信チャンネルと同数の送信チャンネルを必要とします。図5のブロックダイアグラムでは、簡略化して、1つの送受信チャンネルだけを示しています。

超音波トランスミッタの基本

超音波画像を得るため、フェーズドアレイ超音波システムでは、適切な遅延をかけたN個(N = 送信チャンネル数)の

高電圧送信パルスを生成する必要があります。このパルスによってトランスデューサアレイの各エレメントを励起し、焦点を絞った音響送信を得ます(図6)。

超音波レシーバの基本

体内にある音響インピーダンスの不連続面で反射された音響エネルギーを、トランスデューサで受信し、システムの各受信チャンネルへ回します。受信チャンネルでは、図7に示すように、各トランスデューサの出力信号を増幅してから、デジタル化します。計算された遅延特性を用いてデジタル化した信号に遅延をかけ、超音波システムのデジタルビームフォーマで合計し、ビーム形成フォーカス信号を生成します。こうして得られるデジタル信号を用い、2DおよびPW/カラーフローのドップラー情報を得ます。

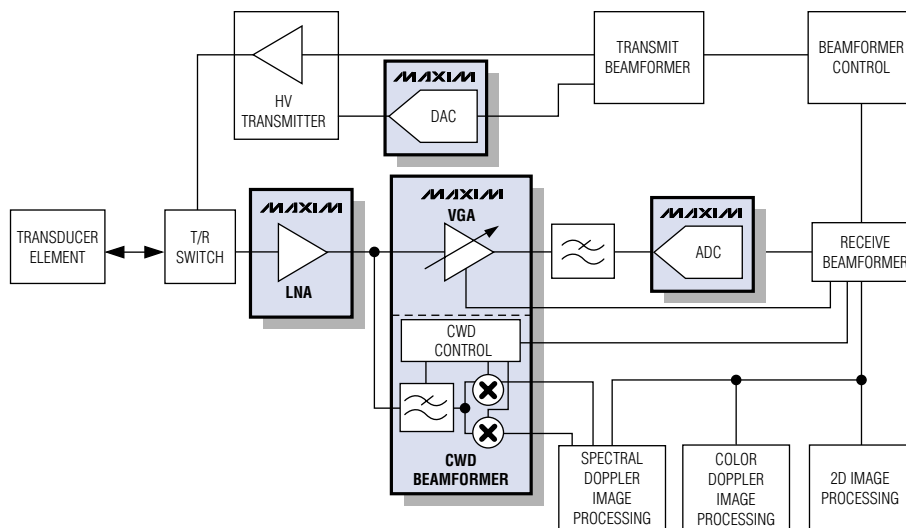


図5. 標準的な医療用フェーズドアレイ超音波イメージングシステムの1つの送受信チャンネル

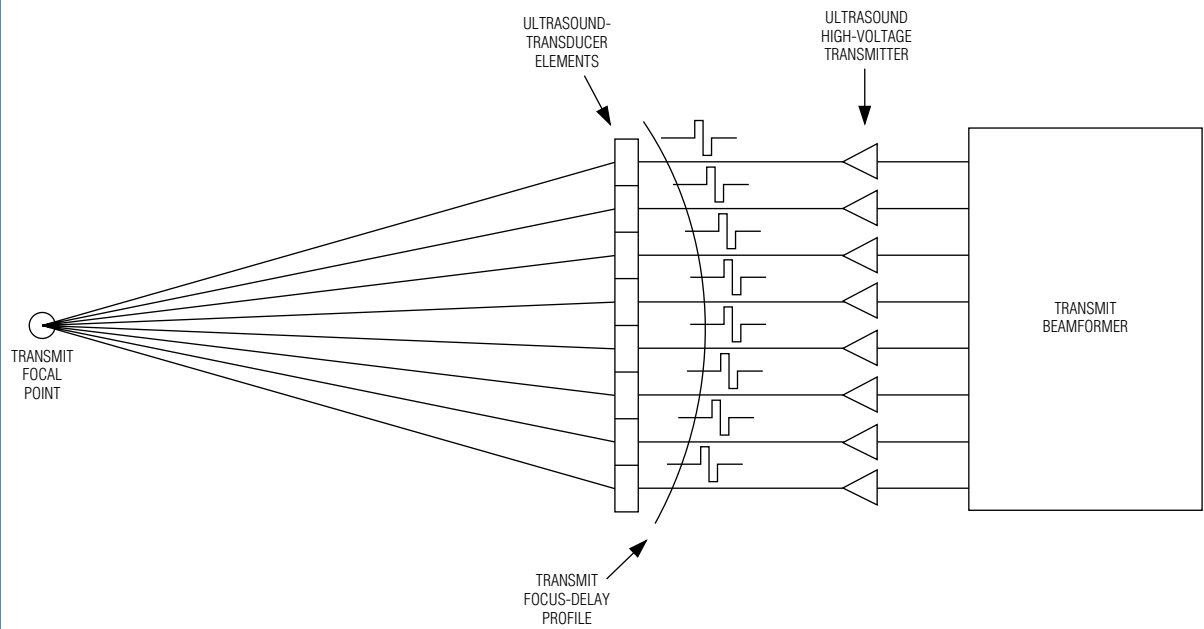


図6. 適切な遅延をかけた高電圧送信パルスにより、焦点を絞った音響送信を行います。

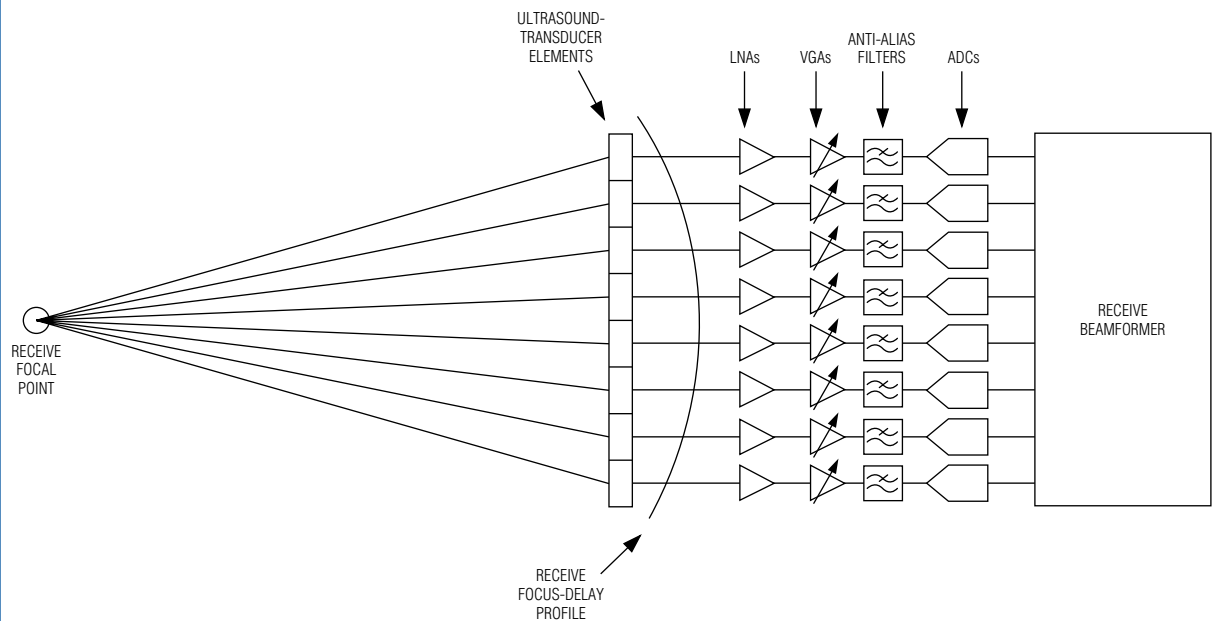


図7. 各トランスデューサエレメントの出力は、超音波レシーバの受信チャンネルで増幅し、デジタル化します。

AC結合マルチドロップLVDSバス用の堅牢でフェイルセーフなバイアス回路

LVDSは、デジタルビデオやデジタルカメラなどを中心に高速デジタル信号の相互接続用として広く使用されています。特に使われることが多いバスポジのひとつがマルチドロップLVDSバスという、LVDSトランスミッタが駆動する100Ωの差動ツイストペアに複数のLVDSレシーバを接続する形式です。これは、LVDS信号ルーティング用の多重化を行う際に便利な構造です。また、LVDS相互接続の多くはグラウンドレベルシフトとコモンモード干渉を避けるため、AC結合を採用しています。

図1は、標準的なマルチドロップLVDSバスのブロックダイアグラムです。バスとレシーバ入力との接続距離は、可能な限り短くします。図1に示すフェイルセーフバイアス回路は、約1.2Vのコモンモードバイアスを提供するものです。バスがTxによって駆動されていないとき、あるいは長時間、バスの状態遷移がない場合、フェイルセーフバイアス回路は、50mVから100mVという小さな差動電圧によってLVDSレシーバ出力を駆動し、定められたロジック状態とします。LVDSフェイルセーフ回路の一般的な解説が必要な場合は、アプリケーションノート3662、「LVDSのフェイルセーフ回路の理解」(japan.maxim-ic.com/AN3662)をご覧ください。

マルチドロップバスとポイントツーポイント接続とでは、バイアスの供給に大きな違いがあります。ポイントツーポイント接続ではレシーバの入力インピーダンスが差動リンクのインピーダンス、100Ωとマッチングしている

必要があるのに対し、マルチドロップバスではレシーバがハイインピーダンスでなければならないからです。このように抵抗値に差がある点が、従来のフェイルセーフバイアス回路に共通する弱点でした。このアプリケーションノートでは、従来型のフェイルセーフ回路の設計方法を評価し、部品のばらつきの問題を検討するとともに、新しい堅牢なバイアス回路を提案します。

従来のバイアス回路とその弱点

最も一般的な従来型フェイルセーフバイアス回路は、2つの抵抗分圧器を2本のLVDS入力ピンに接続するというものでした。この実装形式を図2aに示します。抵抗値は、2本の入力ピンの電圧がいずれも約1.2Vとなり、かつ、入力ピン間の電圧差が-50mVとなるように選びます。2本の入力ピンの電圧は、図2aに示した定格抵抗値から計算します。バスが駆動されていない間は、この電圧差によってレシーバ出力がロジックローとなります。

しかし、抵抗には許容誤差があり、これによって差動電圧が大きく変動する可能性があります。最大許容誤差1%の抵抗を使用した場合、マイナス側への変動では、図2bのように、電圧差が-90mVに達する可能性があります。逆向きの変動では、図2cのように、電圧差が-16mVにしかならないこともあります。つまり、抵抗値が±1%ばらつくだけで、フェイルセーフ差動入力力は-80%から+68%も変動します。

従来型回路の設計では、大きな差動フェイルセーフ電圧が弱点でした。大きな電圧差が存在すると、ロジックハイやロジックローのデューティサイクルのバランスが崩れ、トリガ用スレッショルドが入力的一方で上昇してトリガポイントにおけるスローレートが低くなり、レシーバの固有ジッタが増大するなど、さまざまな問題が発生します。しかし、図2cに示すように電圧差が小さいと、フェイルセーフ機能を実現することができない場合があります。

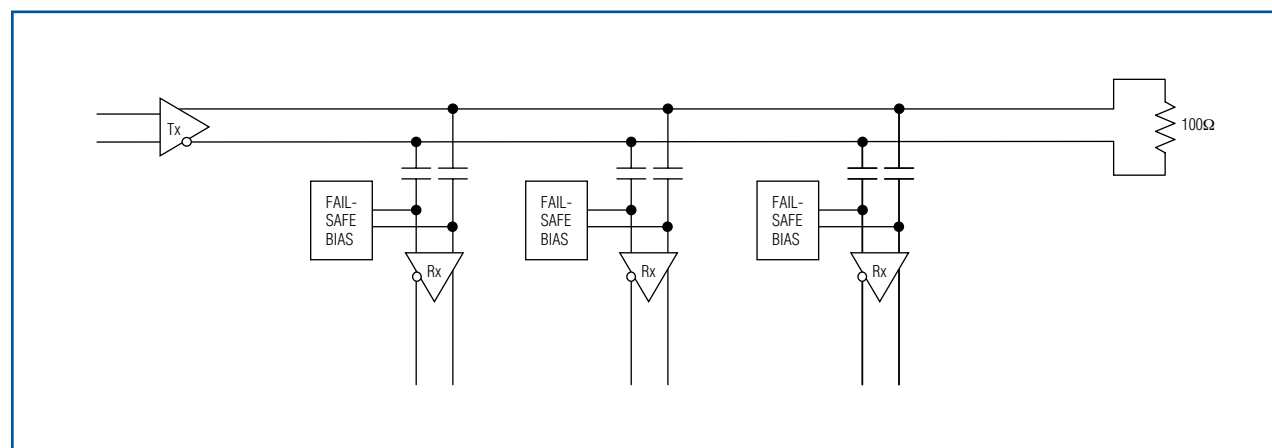


図1. バスとAC結合のLVDSマルチドロップバスレシーバ入力との接続距離は極力短くする。

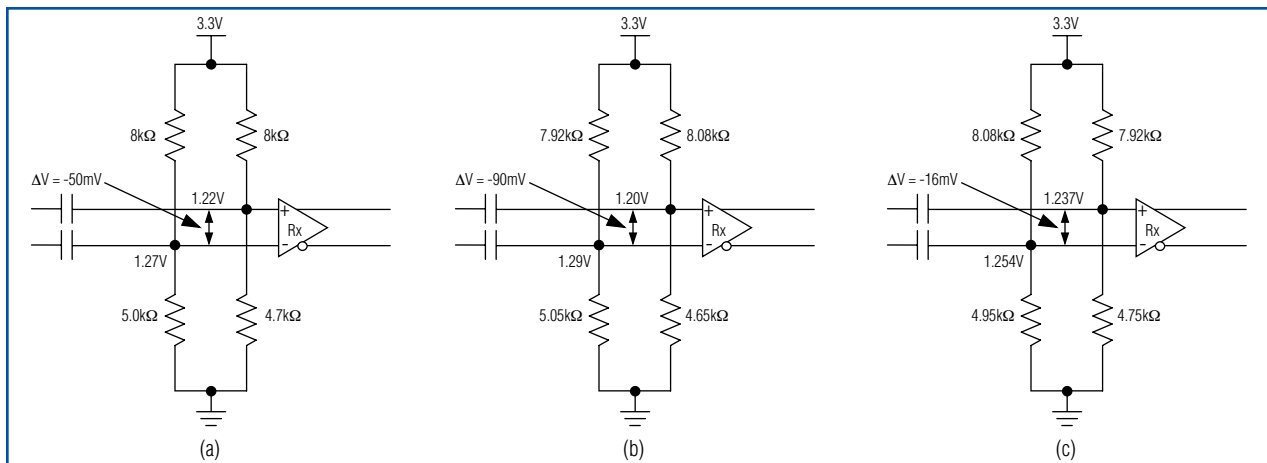


図2. 一般に使用されているフェイルセーフバイアス回路。(a)は定格抵抗値の場合の数値、(b)は最大許容誤差±1%で発生する最大の電圧差、(c)は最大許容誤差±1%で発生する最小の電圧差。

従来のバイアス回路が持つこのような弱点を克服するため、抵抗値のばらつきに対して強い、以下の新しいバイアス回路を検討してください。

新しいフェイルセーフバイアス回路

抵抗値がばらついても差動電圧が比較的安定するフェイルセーフバイアス回路用トポロジがあります。この回路のダイアグラムを図3に示します。

新しい回路では、2本の入力ピンに共通するソースから共通モード電圧を供給します。差動電圧は、入力ピンの方にプルダウン(あるいはプルアップ)抵抗をつけることによって生成します。図3に示すように、±5%の抵抗を使った場合でも、フェイルセーフ差動電圧は-15%から+15%しか変動せず、図2の回路よりも堅牢性ははるかに高いことがわかります。この回路は、MAX9169/MAX9170やMAX9174/MAX9175などのようにコモンプルアップフェイルセーフ回路を内蔵したLVDS製品にも使用可能で、MAX9242/MAX9244/MAX9246/MAX9254、

MAX9218、およびMAX9248などのデシリアライザ製品のように従来型の共通モードバイアス回路を内蔵した製品にも使用可能です。

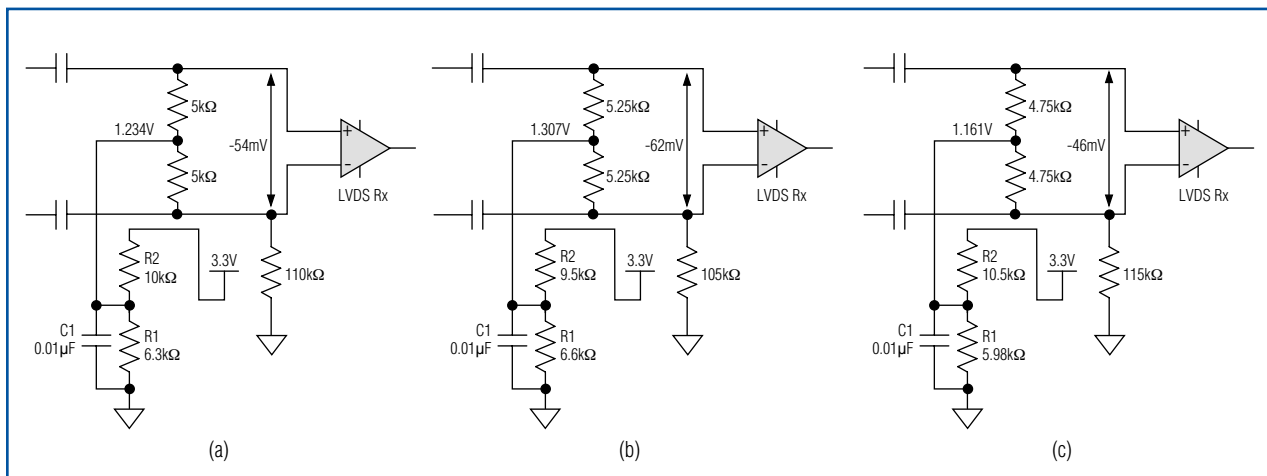


図3. 堅牢なフェイルセーフバイアス回路。(a)は定格抵抗値の場合の数値、(b)は最大許容誤差±5%で発生する最大の電圧差、(c)は最大許容誤差±5%で発生する最小の電圧差。

1-Wireの チェーン機能を 活用した位置情報の 取得

シンプルなシグナリングとプロトコルにより、 デバイスの物理的な位置を特定

デジタルバスシステムには、一般に、共有という特徴があります。マイクロプロセッサが登場とともに一般的になったパラレルバスシステムは、バスに接続されたコンポーネント間でデータとアドレスラインを共有します。チップセレクト信号は、アドレスラインと制御信号からデコードされます。このころ、バスに接続されたコンポーネントの物理的位置は、ハードウェアの設計とワイヤリングから常に認知することができました。しかし、技術が進歩し、コスト削減が可能なシリアルバスシステム¹へ移行するにつれて、まず、アドレスラインが廃止されました。チップセレクト機能は、シリアルバスのSPI™とMICROWIRE™ではまだ使用されていましたが、さらに進んだシリアルバスシステムではプロトコルベースのアドレッシングが採用され、アドレス情報はデータの先頭に付加されて送られるようになりました。そのようなバスの代表例が、データ/クロックラインだけを通信インタフェースとするI²C/SMBus™です。クロック情報もデータストリームに埋め込めば、コストをさらに削減することができます。そのような形にした例が、1-Wire®、LIN、およびSensorPathの各種バスです。

プロトコルベースのアドレッシングとした結果、コンポーネントの物理的位置は既知でなくなりました。これは、シリアルバスを計測や制御に使用する場合に問題となります(複数地点で温度を測定する場合など)。たとえばI²Cバスで、アドレスピンにロジック1、ロジック0、SCL、またはSDAを割り当てると、この問題を緩和することができます。1本のピンで4種類のデジタル状態、つまり、2ビット相当の情報を定義することができます。このアプローチはシンプルで効率的ではありますが、オリジナルのI²Cプロトコルではアドレスに7ビットしか割り当てられていないため、どうしても限界があります。これに対し、1-Wireバスでは64ビットアドレスが使えるため、高い柔軟性が得られます。しかし、アドレスピンの増加はコスト増に直結するため、歓迎されません。

複数デバイスが接続されたシリアルバスで物理的な位置情報を取得することができるシンプルで低コストな方法として、図1に示すように、あるデバイスをネットワークの始まり(位置#1)とし、接続された残りのデバイスを順番に特定していく方法が考えられます。このメカニズムを実現

SPIはMotorola Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。
SMBusはIntel Corporationの商標です。
1-WireはDallas Semiconductor Corp.の登録商標です。Dallas SemiconductorはMaxim Integrated Products, Inc.の完全子会社です。

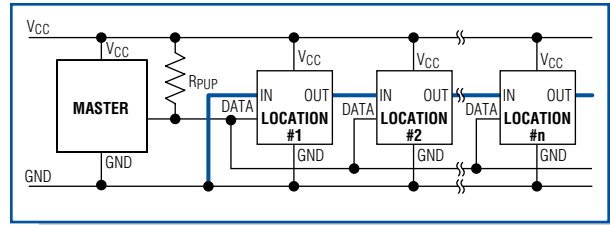


図1. 位置特定のために拡張されたシリアルネットワーク

する接続は、青の太線で表示したラインです。このラインは、最初の位置でグラウンドに接続されています。

図1でINとOUTと書かれた2本のピン以外に、IN端子を読んでOUT端子に書きこむオンチップロジックが必要になります。これだけのリソースがあれば、マスタは、最初のデバイスを特定した後、順番に、最後のデバイスまで、相対的な位置を特定することができます。ただし、プロトコルでネットワークのインベントリ機能がサポートされている必要があります。1-Wireバスであれば、この条件を満足することができます。

1-Wireバスはシンプルな信号伝達方式で、1本のデータラインを共有するホスト/マスタコントローラと1つあるいは複数のスレーブ間で半二重双方向通信を行うことができます(図2)。スレーブデバイスへの電源供給とデータ通信は、いずれも、1本だけのこの1-Wireラインを通じて送られます。電源供給は、ラインがハイ状態となっている間にスレーブデバイスが内蔵コンデンサに充電し、ラインがロー状態となってデータ通信が行われている間、その電力を使用してデバイスが動作するという形で行われます。1-Wireマスタは、通常、オープンドレインのI/Oポートピンを持ち、プルアップ抵抗によって3V~5Vを供給します。これは優れた通信方式で、メモリ、認証、およびミックスドシグナルなどの機能を、いつでも簡単かつ効率的に追加することができます。

1-Wireシステムが持つ基本的で重要な機能として、各スレーブデバイスが変更不可の一意のROM (リードオンリーメモリ)を持つことがあげられます。工場出荷時に64ビットのシリアル番号(ID)が割り振られ、同じ番号が他のデバイスに割り振られることはありません。この64ビットROM IDは、最終製品にとっても一意の電子的IDとなるほか、これがあるおかげで、1本のバスラインに接続された数多くのスレーブデバイスから所定のデバイスをマスタデバイスが選ぶことができます。この64ビットROM IDには8ビットのファミリコードが含まれており、ここから、

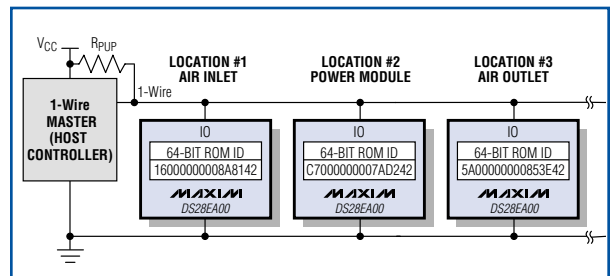


図2. チェーン機能を持たない標準的な1-Wireネットワークの例

デバイスの種類とサポートしている機能を特定することもできます。

システムが最初に立ち上がる際、1-Wireマスタ側では、1-Wireバスに接続されているデバイスの数やそのROM IDなどがわかっていないのが普通です。マスタは、バスのワイヤードANDプロパティを利用し、消去法でデバイスを特定します。「Search ROM^{*}」機能²を使えば、バス上にあるデバイスのROM IDをマスタ側で知ることができます。しかし、Search ROMの結果から、各デバイスの位置を知ることはできません。たとえば、ROM IDが図2のようになっているとき、表1のような順番でデバイスを知ることになります。

表1. デバイスの検出シーケンス

順番	ROM ID (16進数)	ネットワークにおける位置
1	C7000000007AD242	位置#2
2	5A00000000853E42	位置#3
3	16000000008A8142	位置#1

チェーン機能の考え方

チェーン機能を使うことによって、1-Wireによるネットワーク環境におけるデバイスの物理的位置を求めることができる理由は以下のとおりです。

- 1-Wireネットワークにおける物理的ルーティングというシステムレベルの情報が既知である。つまり、1番目、2番目…と、デバイス/ノードの物理的な位置がわかっている。
 - デバイス(ROM ID)が物理的につながれている順番を、1番目から最後まで、順に知ることができる。
- a)は「設計による」システム情報であり、1-Wireネットワークのワイヤリングという物理的レイアウトによって決定されます。b)は、通常、未知の情報ですが、チェーン機能を使うことによって簡単に知ることができます。チェーン機能(図3)では2つの端子を使用します。入力(EN)によってデバイスをイネーブルとし、探索に反応可能な状態とし、出力(DONE)により、チェーンの次のデバイスに対し、前のデバイスに対する探索が完了したことを知らせます。DONE信号は、次のデバイスのEN入力に入力されます。最初のデバイスのEN入力は、GNDへの物理的配線です。このメカニズムを実現する接続は、青の太線で表示したラインです。シーケンス検出を行うためには、EN端子とDONE端子のほかに、「Conditional Read ROM」という新しいネットワーク機能コマンドが必要です。このコマンドは、ある条件(詳細は後述)が満足されている場合にのみ、デバイスのROM IDを返します。これに対し、「Read ROM」コマンドでは、ネットワークに接続されたデバイスのすべてが、いっせいにROM IDを送信してきます。この新しいチェーン機能を実装し、サポートした最初のデバイスがDS28EA00です(図3を参照)。

^{*}コマンドと状態は、わかりやすいように単語頭を大文字にするとともに、初出時には括弧書きとしています。

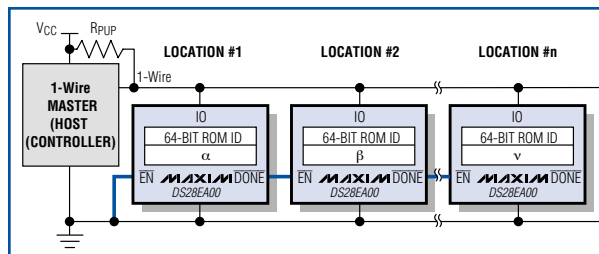


図3. DS28EA00を使用した、チェーン機能を持つ1-Wireネットワーク

EN端子とDONE端子は、シーケンス検出に使うだけでなく、デジタルPIOとしても使います。これらの機能を両立させるため、チェーン機能では、「OFF」、「ON」、および「DONE」という3種類のチェーン状態が定義されています。チェーン状態の遷移を制御する「Chain」コマンドも用意されています。表2に、チェーン状態と各状態における挙動をまとめます。

表2. チェーン状態

チェーン状態	デバイス挙動		
	EN (PIOB)	DONE (PIOA)	Conditional Read ROM
OFF (デフォルト)	PIO (ハイインピーダンス)	PIO (ハイインピーダンス)	無視
ON	EN入力	プルアップオン	ENがロジック0なら認識
DONE	機能なし	プルダウンオン(DONEはロジック0)	無視

パワーオン時のチェーン状態は、デフォルトでOFFとなっており、この状態では、DS28EA00のデータシートに記載されているように、DONE (PIOA)とEN (PIOB)は、「PIO Access Read」と「PIO Access Write」という独立したコマンドによって制御されます³。Chain ON状態では、DONEはオンチップの約40kΩ抵抗(R_{CO})によりデバイスの内部V_{DD}にプルアップされるため、次のデバイスのEN端子がロジック1になります。Conditional Read ROMコマンドが認識されるのは、ENがロジック0で、Chain ON状態の場合のみです。この条件が成立するのは、順番の探索中、ネットワークにおいて1つのデバイスのみとなります。

デバイスの状態をChain OFFからChain ON、あるいはChain DONEに遷移させるのは、マスタのChainコマンドです。可能な遷移を図4に示します。Chainコマンドコードに続いて、マスタは、適切なChain Controlバイトを送出しなければなりません。間違ったChainコマンドを受けとる可能性を最小限におさえるため、このコントロールバイトは、まず、非反転形式で送信し、続いて、反転形式で送信します。確認バイト(AAh)が受信されたら、状態変更が成功したということです。

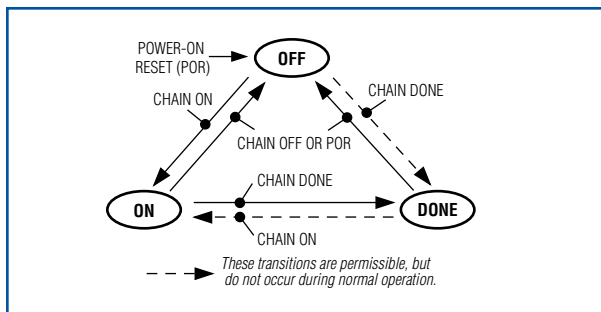


図4. チェーン状態の遷移を示すダイアグラム

シーケンス検出を行う場合、マスタは、まず、すべてのデバイスをChain ON状態にします。次に、Conditional Read ROMによってひとつのデバイスのROM IDを読み出し、Chain DONE状態にし、チェーン上の次のデバイスをイネーブルとして、Conditional Read ROMコマンドに回答することができるようにします。このようにシーケンス検出が進むと、全部のデバイスが特定されるまで、デバイスは順番にChain DONE状態に遷移されます。最後に、すべてのデバイスをChain OFF状態にしてEN端子とDONE端子をPIOとし、パワーオン時のデフォルト状態に戻します。

シーケンス検出の例

前提条件—図3に示すように、1つのマスタがネットワークをコントロールしていなければなりません。また、すべてのデバイスがチェーン機能をサポートしている必要があります。チェーン上にあるデバイスのシーケンスを検出する、つまり、物理的な位置の数とそれぞれの位置におけるデバイスのROM ID (登録番号とも呼ばれる)を特定するためには、マスタは、以下の手順を踏みます。

初期化—マスタがSkip ROMコマンドに続けてChain ONコマンドを送信し、すべてのデバイスをChain ON状態とします。RC0がDONE端子をプルアップし、チェーンの最初のデバイスを除くすべてのデバイスについて、DONE/EN接続をロジック1とします。

第1サイクル—マスタがConditional Read ROMコマンドを送出し、チェーンの最初のデバイスから応答として64ビットのROM IDを受けとります。マスタは、このROM IDと、これがチェーンの最初のデバイスであることを記録します。次に、マスタはChain DONEコマンドを送出します。このコマンドは、デバイス#1のDONE端子を通過し、2番目のデバイスEN端子をロジック0にアサートするとともに、デバイス#1が次回、応答しないようにします。

第2サイクル—マスタがConditional Read ROMコマンドを送出します。チェーン上においてEN端子がロジック0であるデバイスはデバイス#2が最初であるため、デバイス#2が応答としてROM IDを返します。マスタは、このROM IDと、シーケンス番号「2」を記録します(デバイス#1はChain DONE状態にあり、Conditional Read ROMコマンドに回答しません)。次に、マスタはChain DONEコマンドを送出します。

追加サイクル—マスタは、Conditional Read ROMとChain DONEによるステップをくり返し、残りのデバイスについてもROM IDとその物理的な順番を特定します。Conditional Read ROMコマンドに対して応答が返ってこなくなれば、チェーン上にあるすべてのデバイスが特定されたこととなります。

終了—検出プロセスの最後には、チェーン上にあるすべてのデバイスがChain DONE状態となっています。マスタは、Skip ROMコマンドに続けてChain OFFコマンドを送出し、シーケンス検出を終了します。これにより、すべてのデバイスがChain OFF状態となり、PIO端子の制御がPIO Access機能コマンドに移ります(LEDを点滅させるなど)。Conditional Read ROMコマンドとChainコマンドの詳細やフローチャートについては、DS28EA00データシートを参照してください⁴。

1-Wireの標準的な速度では(リセット/プレゼンス検出サイクルが960μs、1タイムスロットは65μs)、初期化と終了処理で約7msを要します(1回だけのオーバーヘッド)。検出と位置確認は、1デバイス当たり約7.7msです。同様の条件でSearch ROMを行うと、1デバイス当たり約14msを消費します。つまり、たとえば100msの間に、Search ROM関数では7個のデバイスしか特定できないのに対し、チェーン機能であれば12個のデバイスが特定することができます。

その他

ケーブルの静電容量—1-Wireネットワークによく用いられる電話用カテゴリ5ケーブルは、ツイストペアを構成するワイヤ間に約50pF/mの静電容量を持っています。ネットワークのサイズにもよりますが、すべてのデバイスをChain ON状態とすると、この静電容量が大きな負荷となることが考えられます。特にパラサイト電源動作では、電圧が許容限界以下に低下しないよう、1-Wireラインをアクティブにプルアップしなければならない場合もあります。中央あるいはローカルのVCC電源を使用する場合には、このような対策は不要です。

Conditional Read ROM—1993年に廃止されたシリコンシリアルナンバのDS2400との互換性を保つため、DS2401は、Conditional Read ROMコマンドをRead ROMとしても理解します。そのため、チェーン機能を実装したネットワークにDS2401をつなぐことはできません。1-Wireポートアダプタを使用する場合にも、DS2401を搭載していないものを選んでください。DS2405のrevision Aも、Conditional Read ROMコマンドに対してDS2401と同様の応答をします。1998年以降のDS2405のrevision Bは、Conditional Read ROMコマンドを無視します。

1-Wireマスタ回路—組込み環境では、ICによるディスクリートの低コスト回路が1-Wireマスタとして実装されることがあります。ディスクリートソリューションとしては、抵抗プルアップからスベアμCのポートピン、あるいは、高度なドライバなどが考えられます⁵。1-Wireラインの駆動に最適化された高集積ドライバには、DS2480B⁶(シリアルポート、UART)、DS2490⁷(USBポート)、および

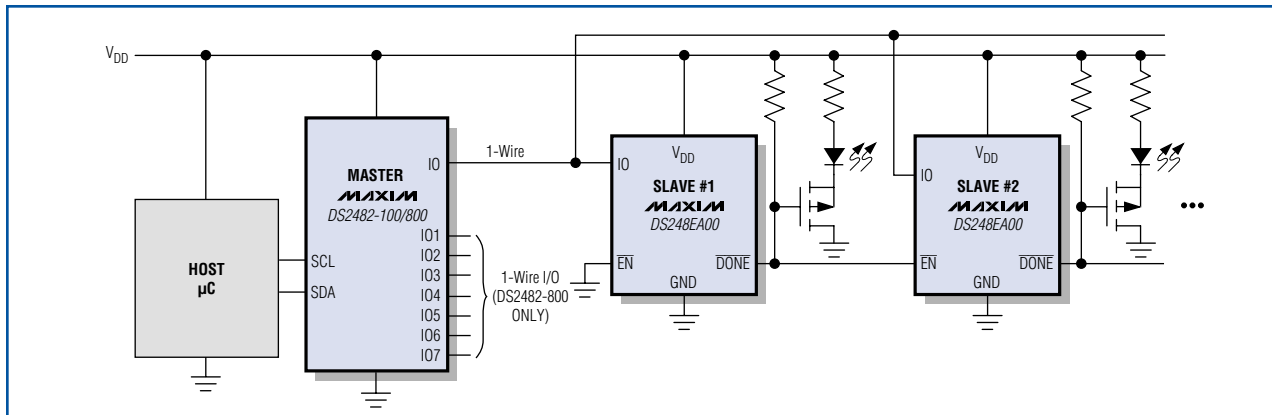


図5. シングルチャネルの μP から1-WireへのブリッジデバイスDS2482を1-Wireマスタとして使用した例です。 $\overline{\text{DONE}}$ 出力はLEDの駆動にも用いられていますが、これによってチェーン機能が影響を受けることはありません。

DS2482^{8, 9} (μP ポート、図5)があります。8チャンネルバージョンのDS2482には、アドレスピンが3本あり、1つのホストコントローラで最大64個もの独立した1-Wireネットワークを動かすことができます。アプリケーションノート192、「DS2480Bシリアル1-Wireラインドライバの使用」¹⁰では、ソフトウェア開発の視点からDS2480Bが解説されています。DS2482ドライバにも、同様の文書が用意されています¹¹。

電源— V_{CC} が供給されていれば、すべてのDS28EA00で同時に温度変換を実行することができます。その後、Conditional Searchコマンドを送出すれば、警告温度を検出したデバイスだけを特定することができます。そのデバイスのROM IDと、シーケンス検出によって特定した物理的位置を組み合わせれば、対策が必要な場所をすぐに特定することができます。 V_{CC} の供給がない場合は、温度変換はひとつずつ順番に行わなければなりません。また、シーケンス検出の開始時(すべてのデバイスがChain OFFからChain ONに遷移する瞬間)、1-Wireデータラインの電圧が下がりすぎないように対策を講じる必要もあります。

速度—複数のデバイスが存在する場合や、距離が約3mを超える場合、オーバードライブによる高速タイミングで1-Wireネットワークを運用するのは望ましくなく、標準速度による運用が望まれます。また、ネットワーク上に存在するデバイスの数によっては(特にパラサイト電源動作の場合)、標準速度であっても、回復時間を長めにとらなければならない場合があります¹²。

トラブルシューティング—シーケンス検出が期待した動作をしない場合には、まず、Chain ONコマンドを発行した後の1-Wireラインの電圧降下を確認してください。電圧が3.0V以下に低下すると、Chain ONコマンドが適切に実行されないおそれがあります。このように大きな電圧降下を防止するためには、Chain ON後にアクティブなプルアップを行う1-Wireドライバ回路を使用するか、外部電源を使用します。チェーン上にある最初のデバイスのEN入力が入力開放となっていたり、ENが1-Wireラインに接続されていたり、ENが V_{CC} に接続されている場合にも、シーケンス検出は失敗します。ネットワーク上にDS2401が存在している場合も同様です。1つの1-Wireポートに複数のネット

ワークを並列接続することもできません。複数の「最初のデバイス」が同時に応答し、ROM IDのCRCバイトが不正となるためです。

まとめ

チェーン機能とは、直線的なネットワーク上にあるデバイスの物理的な順番を、人間が介入することなく、マスタがソフトウェア制御によって求めることができる新機能です。このチェーン機能を内蔵した最初のデバイスが、1-Wireデジタル温度計DS28EA00です。DS28EA00は、デバイスの位置データをアドレスピンから得る場合よりも費用対効果が高く、マルチポイントで温度を測定するアプリケーションに最適です。

参考資料

1. アプリケーションノート3967:「シリアルバスの選択」
japan.maxim-ic.com/AN3967
2. アプリケーションノート187:「1-Wire検索アルゴリズム」
japan.maxim-ic.com/AN187
3. DS28EA00のデータシート
japan.maxim-ic.com/DS28EA00
4. 同上
5. アプリケーションノート244:「高度1-Wireネットワークドライバ」
japan.maxim-ic.com/AN244
6. DS2480Bのデータシート
japan.maxim-ic.com/DS2480B
7. DS2490のデータシート(英文)
japan.maxim-ic.com/DS2490
8. DS2482-100のデータシート
japan.maxim-ic.com/DS2482-100
9. DS2482-800のデータシート
japan.maxim-ic.com/DS2482-800
10. アプリケーションノート192:「DS2480Bシリアル1-Wireラインドライバの使用」
japan.maxim-ic.com/AN192
11. アプリケーションノート3684:「DS2482 μP 1-Wireマスタの使用法」
japan.maxim-ic.com/AN3684
12. アプリケーションノート3829:「複数スレーブを備える1-Wireネットワークの回復時間の算出」
japan.maxim-ic.com/AN3829