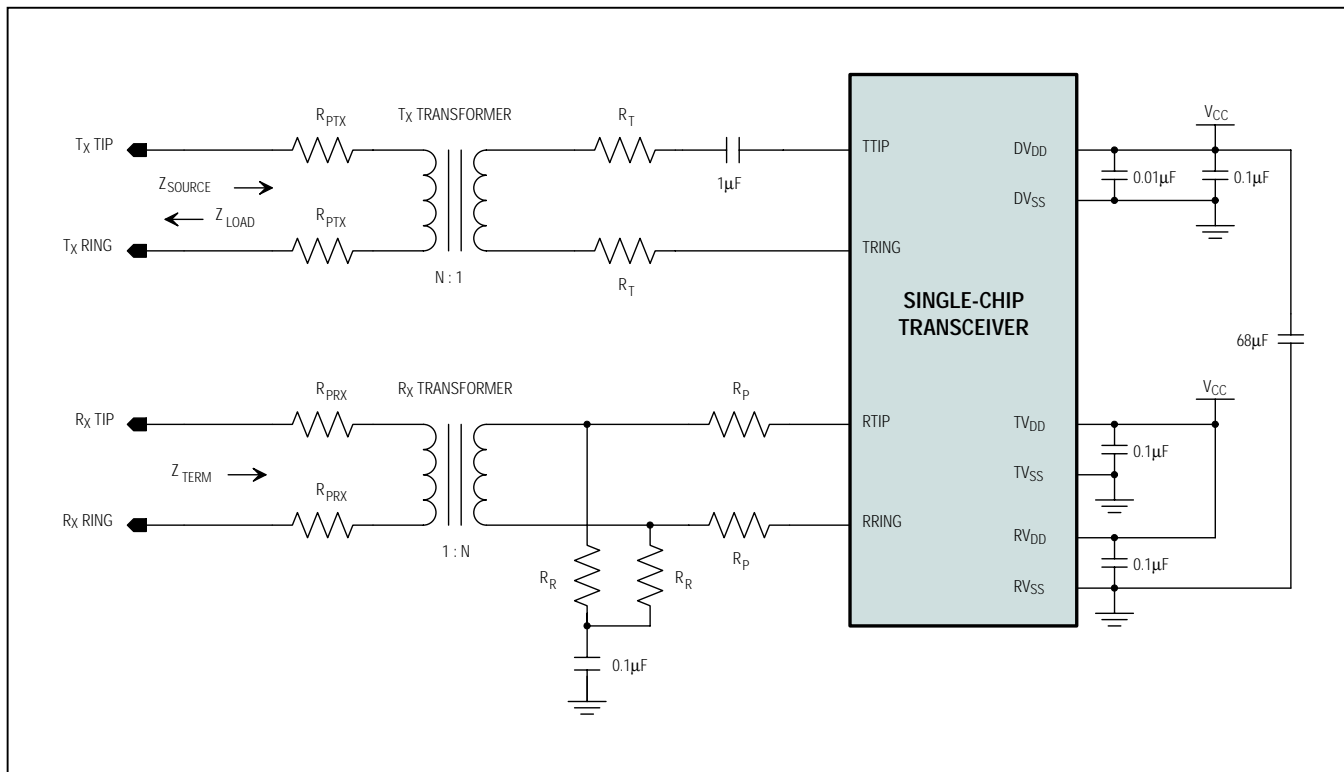


アーティクル	DS2155シングルチップトランシーバの二次側保護用ネットワークインタフェースと回路設計	3
	リチウムコインセルバッテリー：アプリケーション寿命の予測	10
デザインショーケース	マイクロコントローラ環境における1-Wire温度センサとソフトウェアインタフェースの使用	15
	8032のドロップイン置換え品としてのDS80C320に関する評価	18
	ASICデザインへ1-Wireマスタの導入	20
	1-Wireピククトゥライトシステムの構築	22



このT1/E1デバイス用の従来型インタフェース回路は、トランス周辺で抵抗がどのように配分されているかを示しています。DS2155の二次側電圧保護についてより深く理解するために、このモデルをネットワークインタフェースのベースライン回路として使用して下さい。(3ページのアーティクルを参照)

# DS2155シングルチップトランジエバの2次保護用ネットワークインタフェースと回路設計

T1/E1シングルチップトランジエバ(SCT)は、危険な過剰電圧または過剰電流条件下に置かれがちな電話の外線に直接接続するアプリケーションに使用されています。このようなアプリケーションにおいては、敏感な低電圧CMOSデバイスに高電圧または高電流が流れ込むのを防ぐため、保護ネットワーク(1次側電圧保護または2次側電圧保護のいずれか)を使用する必要があります。

通常、外線が構内に入るポイントに位置するガス放電管あるいは炭素ブロックが1次側電圧保護を提供します。しかし、1次側電圧保護は、単に、ピーク時1000Vまでのサージ電圧と送電線回り込み600V<sub>RMS</sub>を制限するにすぎないので、2次側電圧保護が必要です。2次側電圧保護は、ネットワークインタフェースデバイスへの損傷を防ぐために追加の電圧及び電流制限を提供します。

この論文はDS2155シングルチップトランジエバの2次保護用ネットワークインタフェースと回路設計に関する一般的な情報を提供するものです。これらの設計は下記の規格に準拠することを目標としています：

- Underwriters Laboratories UL 1950およびUL 60950
- TIA/EIA-IS-968
- Telcordia GR 1089-コア
- International Telecommunication Union ITU-T K.20、K.21

縦方向のサージ(コモンモード)はティップからグラウンド、あるいはリングからグラウンドまで、メタリックサージ(差動)はティップからリング間に起こります。縦方向のサージは、ケーブルの導電シールドに入った落雷電流によって、ティップとリングの導体上で生成されます。メタリックサージは縦方向のサージの副産物で、1次側プロテクタあるいはライン上装置の動作上の不均衡によってティップとリング導体の間で発生します。

図1の回路はT1/E1デバイスの従来のインタフェースで、トランス周辺で抵抗がどのように配分されているかを模式化したものです。このモデルは、ネットワークインタフェース設計のベースライン回路として使われます。このモデルには最終設計では使用されないレジスタが追加されていますが、これらは本論文で示されるコンセプトに不可欠なものですのでご了承ください。

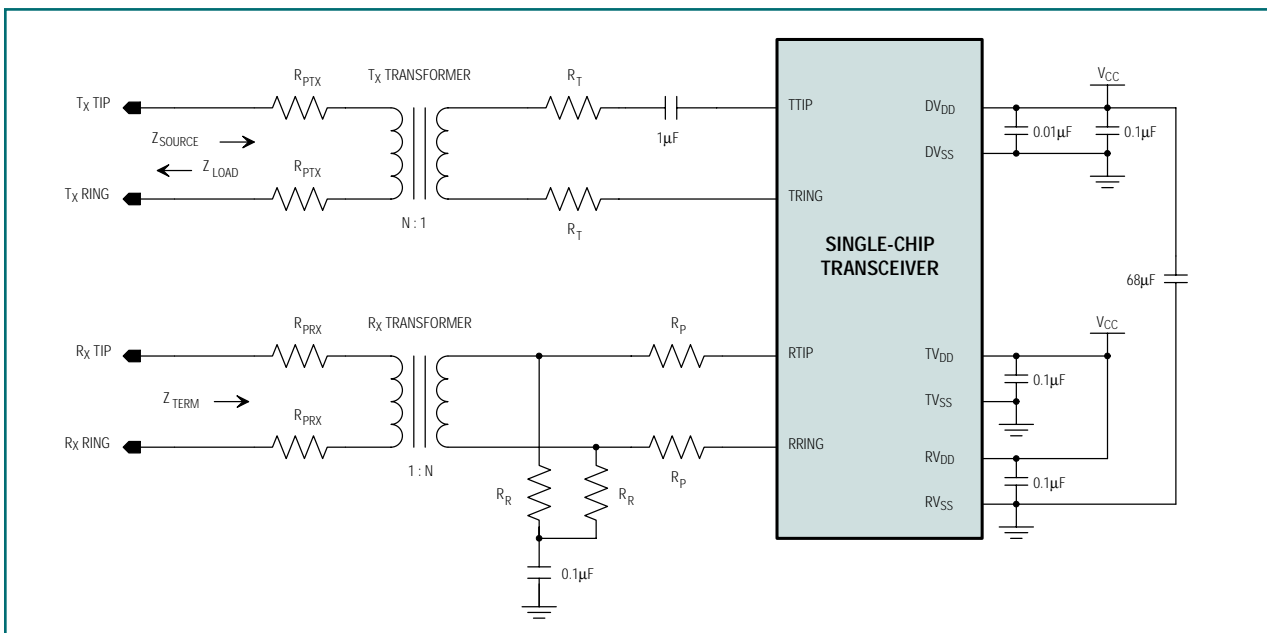


図1. 保護用に配分された抵抗を使った従来型のネットワークインタフェース回路

## 受信インタフェース

レシーバ入力はインピーダンスが高く、動作にほとんど入力電流を必要としません。マッチングされた負荷条件で0 の直列抵抗を使った1:1トランスを使用し信号を回収するように設計されています。受信回路に関して、まず考慮すべきことは通信回線の正確な終端です。E1信号が75 の不平衡同軸ケーブルまたは120 の平衡ツイストペアで伝送される一方、T1信号は100 の平衡ツイストペアで伝送されます。

終端ネットワークに關与する要素は、 $R_{PRX}$  抵抗、 $R_R$  抵抗及びトランスの巻線比です；受信トランスの巻線比は1:1で $N=1$ と特定されます。終端回路は $R_{PRX}$ が0 で $R_R$ の抵抗値が回線特性インピーダンスの半分に等しいならば理想的です。 $R_{PRX}$ 抵抗が存在する場合、それらが電圧デバイダを形成するので、 $R_R$ を調整する必要があります。 $R_{PRX}$ 抵抗の抵抗値が増加すると、 $R_R$ の抵抗値が減少します。下記の等式は適切な終端のために $R_R$ をいかに計算するか例示しています：

$$Z_{TERM} = R_{PRX} + 2R_R / N^2$$

これを置き換えると：

$$Z_{TERM} = 100\Omega, R_{PRX} = 0\Omega, N = 1 \therefore 100\Omega = 2R_R$$

$$\text{解は } R_R \therefore R_R = 50\Omega$$

T1およびE1回路の受信終端の設計が容易になるように、DS2155はソフトウェアを使用して終端を選択します。120 終端の受信回路を設計することによって、内部ラインインタフェースユニット(LIU)は75 または100 の終端設定が追加できるように、抵抗を選びながら追加することができます。LIUはRTIPとRRINGピンの間に200 または600 のいずれかの内部抵抗を挿入します。

内部終端を使う場合、従来のネットワークインタフェースに変更を加える必要があります。まず、 $R_P$ および $R_{PRX}$ を含む電流制限抵抗を受信バスから外さなければなりません。 $R_P$ は抵抗が内部回路によって追加される追加抵抗と干渉するので外さなければならず、 $R_{PRX}$ は、 $R_R$ 抵抗とDS2155の内部抵抗の組合せにより75 、100 、または120 の並列抵抗が形成されるので外さなければなりません。次に、 $R_R$ 抵抗は、120 のライン終端にマッチするように設定されなければなりません。 $R_{PRX}$ は0 なので、 $R_R$ の抵抗値は回線特性インピーダンスの半分の60 に等しくなります。

最後に、もはや回路内の抵抗によって過剰電流条件下のデバイスを保護することはできないため、ヒューズと電圧抑制の組合せを使用しなければなりません。この種の回路例と試験結果は後述いたします。

注記： $R_R$ 抵抗に接続された0.1 $\mu$ Fのコンデンサは、雑音余裕を改善する高周波カットオフフィルタを形成し、回線終端に影響しません。

## トランスミッタインタフェース

トランスミッタ出力ドライバは、インピーダンスが低く、必要な出力パルスを発生するのに十分な電流をトランスの1次巻線に送ることができます。トランスミッタ出力は、出力パルスが回線インピーダンス、動作電圧、トランスコイル巻線、インライン抵抗および、100 T1,75 E1または120 E1のような具体的な動作モードに基づいたテンプレートに収まるように設計されています。受信トランスとは異なり、伝送トランスの巻線比は、動作電圧に直接に関連しています。DS2155は3.3Vで動作します。そのため、トランスの巻線比は1:N、ここでは $N=2$ と特定されています。

T1およびE1の信号パルスと伝送側インタフェースの条件が異なるので、伝送回路の説明は受信側よりも複雑になっています。ユーザに分かり易いように、トランスミッタインタフェースの説明を2つに分けました。最初の部分はT1トランスミッタインタフェースについて、次の部分はE1トランスミッタインタフェースについて説明されています。

## T1デバイス伝送回路

ダラス社のT1部品のトランスミッタ出力は、様々な回線長のネットワークインタフェース上で、適正なパルス振幅を発生するように設計されています。異なる回線長はパルス形状に影響するので、部品には設定可能な出力レベルがあり設定が可能です。各部品のデータシートには、トランス巻線比と回線長に基づいて選択できる設定が表示されたトランスミッタ回線ビルドアウト(LBO)表がついています。既知の回線長に関するデフォルトのT1パルスは次の条件に基づいています：3.3V供給電源； $R_{PTX}=0$ ； $R_T=0$ ；および巻線比1:2の伝送トランスです。

公称0dBのT1パルスは、100 負荷またはネットワークインタフェースで30mA時に3Vとなります。0 直列抵抗と1:2トランスを使っている非保護回路は、デバイスの出力ピンの位置で $3V \times 1/2 = 1.5V$ を発生します。トランスのデバイス側または1次巻線に流れる電流は、 $30mA \times 2 = 60mA$ となります。

従来、 $R_{PTX}$ または $R_T$ 抵抗は、サージからデバイスを保護するために使われていますが、追加直列抵抗は、出力信号パルスを減衰する電圧降下を起こします。信号のロスを補償するために、巻線比1:2以上のトランスを選んで

ください。これによってトランスミッタ出力からのドロウ電流がおよそ20%増加します。このため直列抵抗0 を使って3.3V回路を設計し、過剰電圧保護には他の部品を使用することを推奨します。

以下の例では、回路をサージから保護するためにR<sub>PTX</sub>またはR<sub>T</sub>を使う必要がある場合、いかにして1:2トランスを1:2.42トランスに置き換えるかについて説明しています。ネットワーク側の電流パルスまたは1:2.42トランスの2次巻線がそのままであれば、このトランスの1次巻線の電流パルスは、30mA×2.42=72.6mAになります。出力電圧パルスが1.5Vのままなので、そのトランスからみたネットインピーダンス(R<sub>L</sub>)は1.5V/72.6mA=20.6 になり、以下のように表されます：

$$R_L = Z_{LOAD} / N^2 + 2R_{PTX} / N^2 + 2R_T$$

$$R_L = 20.6\Omega, Z_{LOAD} = 100\Omega, N = 2.42 \text{で置き換えて、}$$

$$\therefore 20.6\Omega = 100\Omega / 5.86 + 2R_{PTX} / 5.86 + 2R_T$$

$$\text{まとめて、} 3.5\Omega = 2R_{PTX} / 5.86 + 2R_T$$

R<sub>PTX</sub>が0 の場合、R<sub>T</sub>=1.75 で電流を減少させるには十分ではありません。しかしながら、R<sub>T</sub>が0 ならば、R<sub>PTX</sub>は各10 ほどでよく、トランスの電流制限保護を提供します。

## E1デバイス伝送回路

ダラス社のE1部品のトランスミッタ出力は、様々な終端条件下のネットワークインタフェース上で適正なパルスを発生するように設計されています。設定可能な出力レベルは、ネットワークインタフェース上のパルス振幅が120 の終端でピーク電圧3.0V、または75 の終端でピーク電圧2.37Vとなることを保証します。T1とは異なり、E1アプリケーションは、ソースインピーダンスを回線特性インピーダンスにマッチさせるために、伝送パスに追加抵抗を加えることが可能です。ソースと回線インピーダンスのマッチング度を計るのにはリターンロスを使います。リターンロスが高いと、回線ノイズの減衰がより大きくなるか、信号反射がトランスミッタ出力に

結合される結果になります。それは以下のように計算されます：

$$\text{リターンロス(dB)} = 20 \log_{10} \left| \frac{Z_{SOURCE} + Z_{LOAD}}{Z_{SOURCE} - Z_{LOAD}} \right|$$

$$Z_{LOAD} = 120\Omega \text{または} 75\Omega \text{および} Z_{SOURCE} = 2R_{PTX} + (2R_T + 5) \times N^2$$

上記Z<sub>SOURCE</sub>等式の定数5はトランスミッタの内部インピーダンスです。高いリターンロス条件下ではない非保護のネットワークインタフェースのリターンロスは下記に示されています。例にあげた抵抗の電源電圧は3.3V、R<sub>PTX</sub>とR<sub>T</sub>=0 、T<sub>X</sub>トランスは巻線比1:2で、回線インピーダンスは75 です。

$$\text{リターンロス(dB)} = 20 \log_{10} \left| \frac{Z_{SOURCE} + Z_{LOAD}}{Z_{SOURCE} - Z_{LOAD}} \right|$$

$$Z_{LOAD} = 75\Omega, N = 2, R_{PTX} \text{と} R_T = 0\Omega \text{で置き換えて、}$$

$$\therefore \text{リターンロス} = 20 \log_{10} \left| \frac{5 \times 2^2 + 75}{5 \times 2^2 - 75} \right|$$

$$\text{リターンロス} = 20 \log_{10} 1.73 = 4.7\text{dB}$$

この例では、ノイズまたは反射された信号の58%がトランスミッタ出力へ結合可能です。リターンロスを改善するために、R<sub>T</sub>値を増加することができます。R<sub>T</sub>値を6.2 に変えることによってリターンロスが28.5dB増加します。これはインバウンド信号の4%以下が反射されることを意味しています。直列抵抗はどれもパルス振幅に影響するので、DS2155は特定のR<sub>T</sub>またはR<sub>PTX</sub>値を補償します。ネットワークインタフェースを設計する際は表1を利用してください。この表は適切なトランスと抵抗の選択が可能なようにDS2155データシートにも記載されています。それぞれの設定は動作電圧、トランス巻線比およびR<sub>T</sub>に基づいています。

E1回路にマッチングさせる伝送インピーダンスの設計を簡単にし、またこの特徴の利点をT1回路に利用できるように、DS2155は内部インピーダンスマッチングを実現しています。0 の直列抵抗の伝送インタフェース回路を設計することによって、内部LIUはトランスミッタ出力を75 、100 あるいは120 ラインインピーダンスにマッチする抵抗を追加することができます。

表1 . DS2155 3.3VデバイスのためのLBOの選択

L2	L1	L0	アプリケーション	T <sub>X</sub> トランス	リターンロス <sup>1</sup>	R <sub>T</sub> <sup>2</sup>
0	0	0	公称75	1:2ステップアップ	-	0
0	0	1	公称120	1:2ステップアップ	-	0
1	0	0	高リターンロス75	1:2ステップアップ	> 21dB	6.2
1	0	1	高リターンロス120	1:2ステップアップ	> 21dB	11.6

注：

1. 空白のセルはリターンロスが21dB以下であることを示しています。
2. ここに示されるR<sub>T</sub>値はR<sub>PTX</sub>=0 とみなしています。

これは内部抵抗をTTIPとTRING伝送ドライバとデバイス上の関連するピンの間に挿入することによって可能です。

内部終端を使う場合、従来のネットワークインタフェースに変更を加える必要があります。R<sub>T</sub>およびR<sub>PTX</sub>抵抗は共に0でなければなりません。これらの抵抗が存在する場合、外部および内部抵抗の組合せでインピーダンスのミスマッチが起こります。この結果、パルスマスク条件に適合しない、劣化した伝送信号パルスが生じます。

現在の抵抗を除去することで生じる危険なトランジェント状況からデバイスを保護するためにヒューズと電圧抑制の組合せを使用する必要があります。この種の回路の例は次のセクションで試験結果と併せて議論されます。

## 電圧抑制保護回路

以下の2次電圧保護の例は、送電線のクロスならびにメタリックおよび縦方向のサージに対する耐性を提供します。図2および図3の設計は従来の保護回路と比べていくつか利点があげられます。設計に使用されている部品は自動アセンブリ用に表面実装となっており、部品によって使われる表面積を減少します。また従来の回路と同等レベルの保護が提供されるとともに、低電圧動作が可能です。これらの回路は、DS2155の新たな受信側のソフトウェア選択による終端、および伝送側回線イン

ピーダンスマッチング機能の使用を可能にします。図2は顧客構内の装置に一般的に見られるメタリックサージ抑制回路の例です。顧客構内の装置は単信電力を回線に供給する必要がありませんから、この回路には部品数とコストの削減という利点があります。図3は、電話局装置に通常見られる縦型サージ抑制回路の例です。電話局装置では、普通、単信または重信電力を回線リピータに供給します。これは、伝送および受信トランスのネットワーク側中央タップに電圧をかけることで達成されます。この電力接続は縦方向の特性なので、電圧が存在する時に保護回路が起動しないよう確認してください。

保護に使用される3つの主な部品はヒューズ、サイリスタ、およびショットキダイオードデバイスです。ヒューズは送電線のクロスのような高電流状況からトランスを保護します。ヒューズの定格電流はトランスの最高電力放散にマッチするよう設定されています。標準ヒューズは、異なる電圧および電流サージモデルに対して50A以上の定格サージ電流を持っています。定格サージ電流が100A以下の場合には電流制限直列抵抗が必要になります。多くの異なったサージモデルにパスし、電流制限抵抗を必要としないヒューズはTeccor F1250T TeleLinkヒューズです。サイリスタは、デバイスにかかる電圧がスイッチング電圧を越える場合、オープン回路から短絡回路状態に変化するソリッドステートクローバードデバイスです。

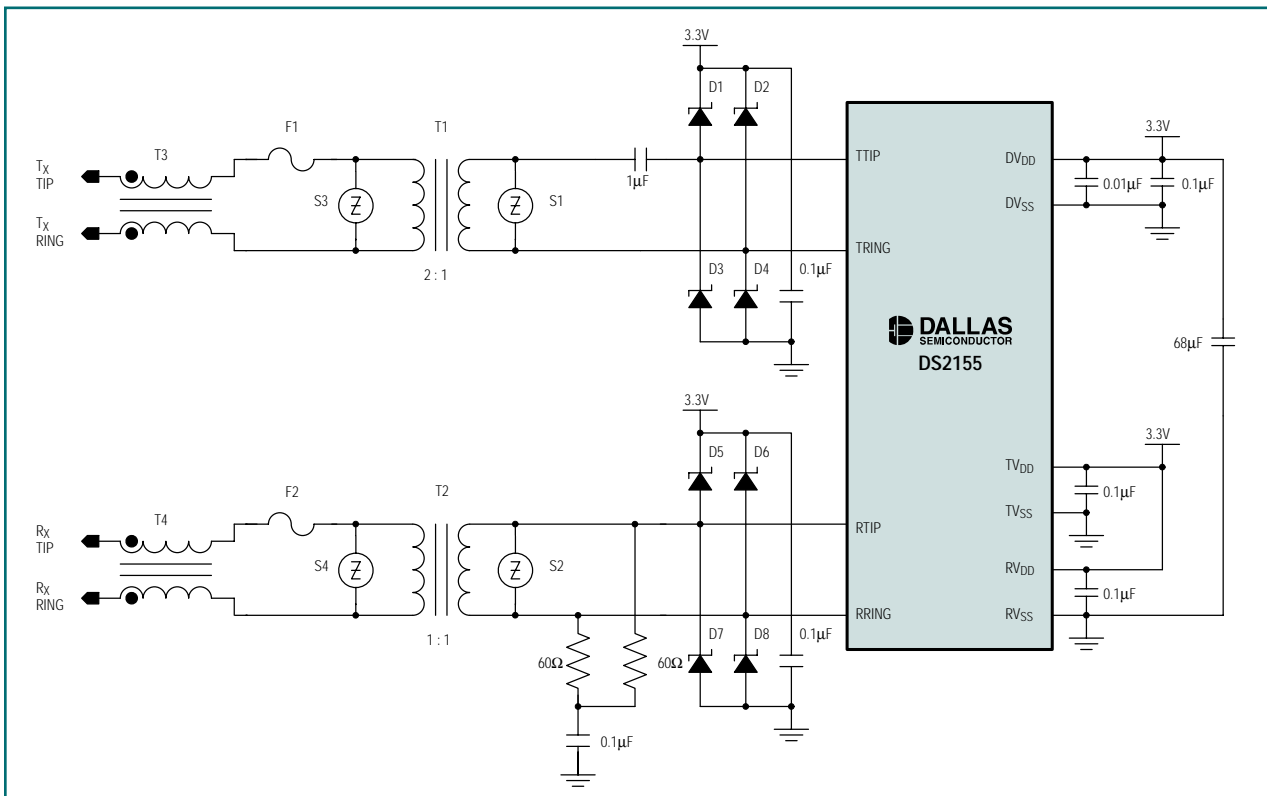


図2. メタリック保護とソフトウェア選択終端を使ったDS2155ネットワークインタフェース回路

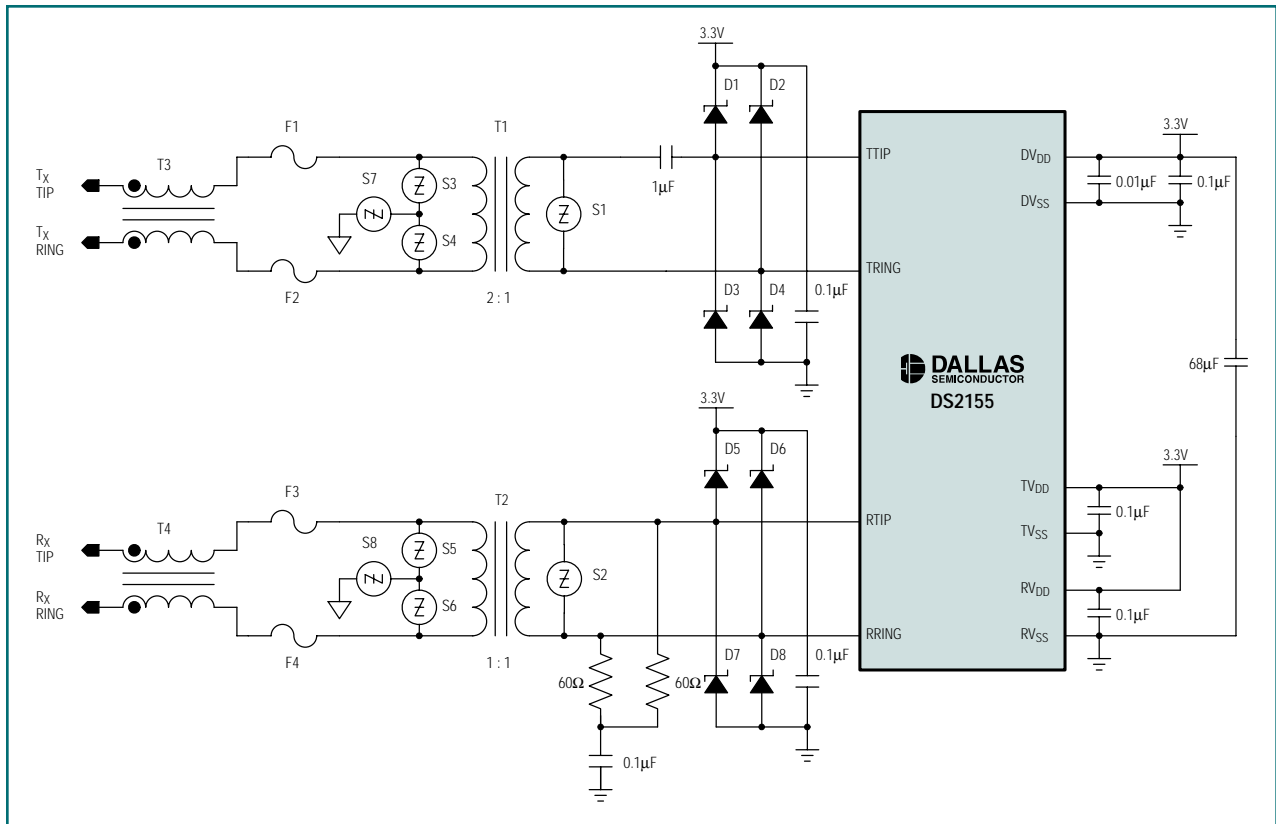


図3 . 縦型保護とソフトウェア選択終端を使用したDS2155ネットワークインタフェース回路

このサイリスタは、デバイスを流れる電流がセットホールディング電流以下になるまで短絡回路状態を維持します。短絡回路状態では、過剰電流は2つの伝送回線間または伝送回線とグランド間を迂回されるので、半導体デバイスを損傷から保護します。ショットキダイオードは、順方向

バイアスでは非常に大きな電流を、逆方向バイアスでは非常に小さな電流を通す整流デバイスです。ショットキダイオードはデバイスの内部ダイオードより低い順方向バイアスを持つので、通常デバイスを流れる過剰電流はショットキダイオードを流れることになります。

表2 . 電圧抑制保護回路部品

レファレンス	説明	品名	ソース	注
D1-D8	ショットキダイオード	10BQ040	International Rectifier	
F1-F4	1.25Aスローブローヒューズ	F1250T	Teccor Electronics	
S1, S2	最高25Vトランジェントサプレッサ	P0080SA	Teccor Electronics	
S3, S4	最高77Vトランジェントサプレッサ	P0640SC	Teccor Electronics	図2
S3-S6	最高40Vトランジェントサプレッサ	P0300SC	Teccor Electronics	図3
S7, S8	最高220Vトランジェントサプレッサ	P1800SD	Teccor Electronics	図3
T1, T2	トランス1:1CT & 1:2CT(SMT)	PE-68678	Pulse Engineering	
T3, T4	デュアルコモンモードチョーク(SMT)	PE-65857	Pulse Engineering	

注:

1. トランスからネットワークインタフェースまでのレイアウトは非常に重要です。トレースは最低20ミリ幅で、他の回路回線から少なくとも150ミリ分離していなければなりません。この回路の下の部分にパワープレーンが含まれないようにしてください。

2. T1(E1ではない)アプリケーションによっては、Rx/Txトランスのネットワーク側のセンタータップから電力をソースまたはシンクします。

## サージの結果

前述された仕様に適合させるために、様々な電流及び電圧サージパルスをティップ、リングおよびグランドコンダクタ間に適用する必要があります。具体的な回路のアプリケーションによってどのようなサージが回路に適用されるかということが決定され、仕様に合格します。サージは全て3つの特性から成り立っています。電圧、電流と時間です。一般的に具体的なサージは時間で表されます。サージの上昇と減衰の時間です。サージは二重指数関数的な相関性を持ち、指数関数的に上昇し減衰します。上昇時間とはサージが定格ピーク電流に達する時間が測定されたもので、一方、減衰時間はサージが定格ピーク電流の50%に達した時間が測定されたものです。一般的なサージは $2 \times 10\mu\text{s}$ 、 $10 \times 160\mu\text{s}$ 、 $10 \times 560\mu\text{s}$ 、 $10 \times 1000\mu\text{s}$ です。サージの組合せはその他にもありますが、そのほとんどがこの4つのサージのテンプレート内に収まります。この場合、回路がより大きいなテンプレートのサージを通過させたなら、理論的にはそのテンプレート内に収まるサージならどのようなサージでも通過することになります。

回路設計のテストする際、回路の信頼性と様々な規格に準拠しているかを調べるには $10 \times 1000\mu\text{s}$ サージで十分であると決定されました。これは時間的な考慮とサージジェネレータの利用が制限されていたことが理由です。ティップとリングコンダクタに同時にかげられた別々の $10 \times 1000\mu\text{s}$ サージは、100Aのピーク電流と1000Vのピーク電圧を持っています。

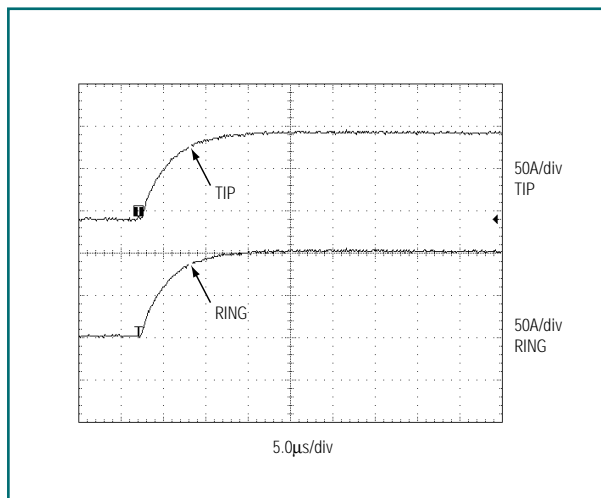


図4. ティップとリング入力時のサージ上昇時間

図4と図5は、ネットワークインタフェース回路に適用される前のサージパルスです。パルスの立ち上がりと減衰を正確に示すために、 $100\times$ 電流プローブでサージジェネレータからグランドへの出力を計測しました。図4はサージパルスの立ち上がり時間です。負荷なしで $10\mu\text{s}$ を少し越えています。ジェネレータ出力が負荷された場合、パルスの立ち上がり時間はちょうど $10\mu\text{s}$ となります。図5は減衰時間です。およそ $1000\mu\text{s}$ となっています。

図6と図7は、ネットワークインタフェース回路に適用された時のサージパルスです。両方の図でトレース1は、 $100\times$ 電流プローブでサージジェネレータからティップコネクタへの出力から計測されたサージです。ティップとリング上のサージは等しく、サージ保護は対称なので、1つのコネクタでのサージを示すだけで十分です。トレース2は $1\times$ 電圧プローブでサージジェネレータのティップコネクタに対する出力から計測されたサージです。

図6は、最高178Vと平均45Vでクランプされたサージパルスが示されています。サージジェネレータの副産物である少しネガティブになっているパルスもあります。計測の残留45Vは、チョークとチョーク間を流れる大電流のインダクタンスが原因です。図には示されていませんが、トランスに結果的に生じたサージは最高178Vで、時間は $6\mu\text{s}$ です。このサージに含まれているエネルギーは、ティップとリングピンのサージと比較すると極めて小さなものです。図7は同様のサージですが、電圧がクランプされた時の速度とサージの減衰が示されています。

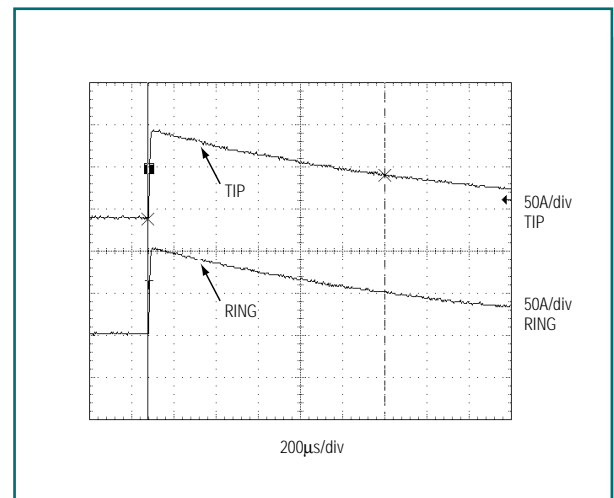


図5. ティップとリング入力時のサージ減衰時間

テレコミュニケーション装置設計の際の主な目標の1つは、落雷や電源がクロスした後も装置が動作できる状態にすることです。本論文に呈示されている回路は、最も厳格な規格に準拠し、パスできるテレコミュニケー

ション設計になっています。最終的な結果として、より安定で現場での修理が最小限ですむ、消費者に満足していただける装置となります。

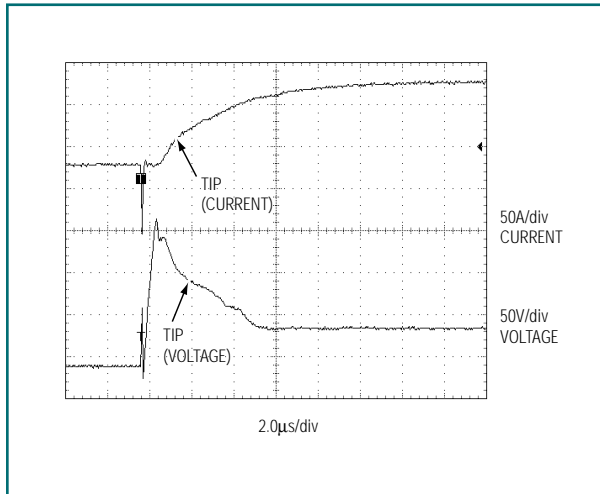


図6 . ティップ入力時にクランプしている初期サージ

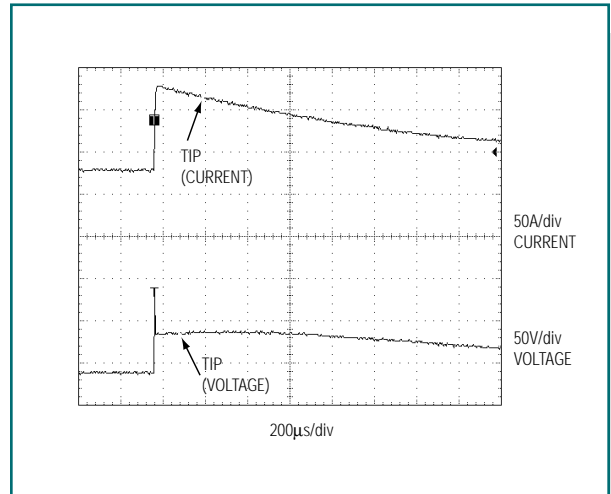


図7 . ティップ入力時の初期サージ電圧スパイク



# リチウムコインセル バッテリー： アプリケーション 寿命の予測

ダラスセミコンダクタ社では、システム電源切断時に不揮発性(NV)メモリまたはリアルタイムクロック(RTC)機能が提供できるように、リチウムコインセルバッテリーを組み込んだ製品を数多く製造しています。これらの製品はシステム電源が切断されている状態で10年間のバッテリー寿命を提供するのが標準仕様となっていました。エンドアプリケーションが明確でないこともあり、保守的な寿命の予測となっています。

エンドユーザは、通常の商業環境の限度を越えるアプリケーション、10年以上の寿命を必要とするアプリケーションなど、具体的なアプリケーションを念頭におき、期待される寿命の評価を出すべきです。コントローラとバッテリーの入ったモジュール製品を購入する代わりに、ディスクリートバッテリーコントローラを購入し、バッテリーと組み合わせることを考えているユーザにとって信頼性モデルを十分に理解することはとても役に立ちます。この論文では、システム電力あるいはバックアップ電源用にリチウムバッテリーを使って電力が供給されている集積回路(IC)の寿命に影響を与える主要因子について概要を述べます。

## なぜ、バッテリーによるバックアップが必要か？

システム電源がオフの状態時のデータ保持に関する代替案がいくつかあります。読み出し書き込みの速度あるいはサイクル数が重要である場合、バッテリーでバックアップされたSRAMは信頼できる代替案です。フラッシュまたはEEPROMもNVデータストレージを提供しますが、容易さや速度が犠牲になります。バッテリーでバックアップされたSRAMの主な欠点は、バッテリーが消耗することです。そのため、製品を選ぶにあたり、エンドプロダクトの寿命を決定するには、バッテリー内で利用できるチャージを考慮する必要があります。システム電源切断時でも時刻を維持しなければならないデバイスは、クリスタル発振器の維持用に電気エネルギーが必要になります。この電流需要はバッテリーによって維持されるのが一番適切です。

## IC電流需要

IC(SRAMまたはRTC)がバッテリー電源の場合、ICの電流需要、期待される寿命、およびバッテリーから利用できるエネルギーを整合する必要があります。ICとバッテリーを購入する場合、IC負荷の関数としてバッテリーの寿命を予測するために必要な情報がデータシートの仕様に記載されています。ICとバッテリーをモジュールとして購入する場合、エンドユーザはモジュールメーカーがシステム寿命の仕様適合を保証するために適切な審査をしていると信用してよいでしょう。

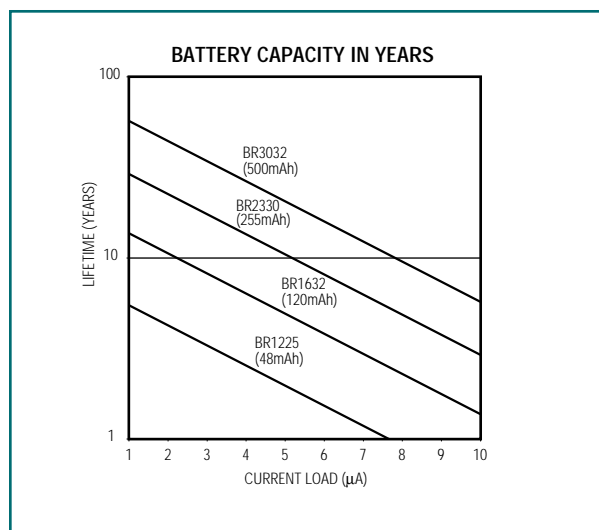


図1. バッテリーから引き出された電流量に基づく寿命

ダラスセミコンダクタ社は、最高10年間の寿命が指定された末端部品を駆動するバッテリー容量をもつバッテリーバックアップ製品すべてに関してスクリーニングの限界を確立しました。ダラスセミコンダクタのICの場合、設計と組み立てプロセスが低電流需要を発生するように最適化されています。外部業者から購入された高密度のSRAMの場合は、モジュール寿命の仕様に適合しているかを保証するためしばしば特殊な審査が必要となります。図1はパナソニックによって報告されたバッテリー容量から作成されたものです。図1の4本の線は最も一般的なサイズのバッテリー(BR1225、BR1632、BR2330、BR3032)を表しています。バッテリーメーカーの定格電気容量(mAhで表示)が各バッテリーサイズについて示されています。

## バッテリーの構造と属性

ダラスセミコンダクタ社は、バッテリーバックアップを必要とするモジュールに1次リチウムコインバッテリーを使用することを選びました。これらのセルバッテリーは、定格電圧3Vで、システム内標準電圧がおよそ2.7Vのため、バックアップ電源として最適です。バッテリー放電中の電圧も安定な状態(図2)なので、寿命末期の時点での電圧は新しいバッテリーを入れた時点の電圧とほぼ同じです。バックアップ電源電圧には平坦な放電曲線が望ましいのですが、一方では残余の電気容量の予測が困難になります。

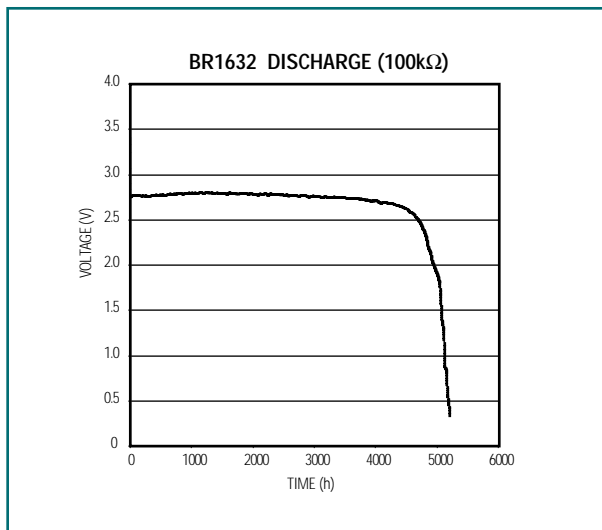


図2. 出力電圧は放電中一定です。

1次リチウムコインセルバッテリーは非常に予測可能な動作を取ります。オープン回路電圧または内部インピーダンスのような主要パラメータの分布は厳密にグループ化されています。これらの厳密な分布によって、バッテリーメーカーは異常なセルが排除されたことを保証するために、プロセスの過程に積極的なテスト限界を設定することができます。また、これらの厳密な分布によって、IC/バッテリーシステムに欠陥が含まれているかをバッテリーのユーザが識別することも可能です。例えば、電圧分布と電圧対バッテリー負荷は非常に予測可能なものなので、負荷接続後のバッテリー電圧をバッテリーへの負荷の指標として使えます。もしバッテリー負荷が動作好調のIC分布の電流需要である場合、結果としての負荷電圧も厳密に分布するでしょう。通常の分布外に存在する負荷電圧は異常なIC

またはバッテリーの存在を示唆しています。この結果は、信頼性にリスクがあると思われるモジュールをリジェクトするために使用できます。

## バッテリー検査/審査

バッテリーメーカーが行う100%(全数)テストによって非常に一定した製品が作り出されますが、システムの集積部品としてバッテリーを使用する場合、適切に機能しているセルのみがエンドプロダクトに含まれることを保証するためのテストを行うべきです。適切に定義された審査によって検出される欠陥が3種類あります。第1種の欠陥は、バッテリーメーカーのテストで見逃されたものです。これは最も簡単に検出できます。第2種の欠陥は、低レベルの内部漏電です。バッテリーによっては、一定時間が経過した後に現われるような内部欠陥を持っているものがあります。これらのセルの検出には、適切なテストレベルを理解するだけでなく、結果の予期される分布についても完全な理解が求められます。第3種の欠陥は、バッテリーユーザによる取扱いまたは製造上の欠陥です。利用できる電気容量が制限されているので、セルにかけられた不注意な負荷が、たとえ短時間であっても、電気的寿命を短縮させる結果になります。

完全な審査プログラムとしては、製造プロセスの主要なステップで電気的特性に関する100%(全数)テストがあります。電気的性能は予測可能な性質をもっているため、負荷が加えられる前後のバッテリー電圧を測定することで異常なセルを識別することが可能です。また、このような審査は標準的でない負荷を識別します。電気的な審査のほかに、バッテリーの視認サンプリングが劣化リーク抵抗を生じるような製造上のばらつきを判別するのに役立ちます。

## バッテリーの信頼性モデル

バッテリーは、量的に完全な反応を生じるべき反応素子を使った「平衡のとれた構造」です。電気的反応に対する主要要素は、金属リチウム、電極(陽極)、および電解質です。バッテリーメーカーの目標は、セルからの有効エネルギーを最大化することです。バッテリーの内部容量が制限されているので、これらの要素が適性比の場合に最大エネルギー密度が達成されます。そのため、素子のロス他は他の素子の有効反応を制限してしまいます。バッテリーの信頼性モデルでは、バランスのとれた構造を考慮にいれ、主要素子の消耗を引き起こすも原因となるものを追求します。

バッテリーはシステム内で消費されるものなので、寿命の最も明らかな制限因子はバッテリーにかかる電気的な負荷です。電気的な負荷に基づく寿命の計算は簡単です。寿命を時間数で出すのは、ミリアンペア時で表される有効バッテリー容量をミリアンペア数で表される電流需要で割ります。電気的な負荷の関数としてバッテリーの寿命を決定するには、パワーオンデューティサイクルを考慮する必要があります。適切に設計されたシステムでは、システム電源が適用されている間、バッテリーは電氣的に分離しています。これによって、バッテリー電流のドレインまたはチャージが除去されます。低減されたデューティサイクルは、殆どの時間パワーアップされており、短時間だけバッテリーバックアップに依存するシステムのバッテリー寿命を効率的に延長します。

これらのバッテリーは非常に低電流またはゼロ電流アプリケーションに使用されているので、ユーザは、反応性素子を消耗させる他の要因を探する必要があります。そのようなメカニズムの1つにクリンプシールによる電解質ロスがあります。このメカニズムは活動化エネルギーがおよそ1.0eVの時に温度によって加速されることが示されました。バッテリーの室温での電気ロスは年率0.5%以下です。このメカニズムは無視をしても心配はありません。しかし高温時における電解質ロス率は大きく、考慮する必要があります。

反応性素子の平衡特性のために、電気的な反応によって電解質が消費されても、また温度上昇によってシールを通して排除されても、それは問題ではありません。バッテリーに反応を持続するための電解質が不足した場合、バッテリーは電流を提供しなくなります。そのため、システム寿命を予測する際に電氣的的需要と温度を考慮にいたした並列モデルを使用することを奨めます(図3)。電気および温度の消耗要因を独立して扱い、あたかも、電解質ロスによる反応が2つの素子間で無いとして寿命を予測するモデルがあります。このようなモデルを使用すると、システムが室温以上の温度にさらされている場合、真の寿命を長く見積りすぎることになります。

バッテリー寿命の計算は、2つの並列抵抗の有効抵抗を計算する時の考え方に似ています。ユーザはICがバッテリーまたはシステム電源から電力を消費しているかコントロールすることが可能なので、電流消費要因にはスイッチが含まれています。ICがシステム電源で駆動されている間は、電力消費による寿命は無限大と概算されます。

IC/バッテリーシステムのメーカは選択した部品や製造プロセスの管理をします。適切に選択された部品と製造過程の審査によってシステムレベルの適正な寿命を得られるはずですが、最終的なパフォーマンス寿命は、システムの実際に使用に基づいてエンドユーザがコントロールできるものです。エンドユーザはこのモデルの要因

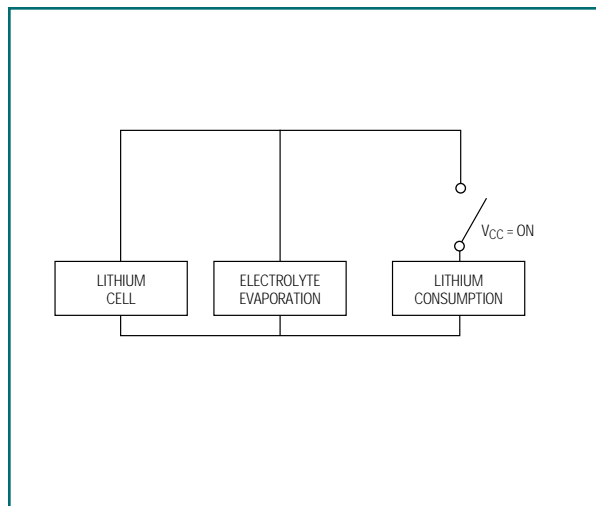


図3. 電解質の蒸発と電氣的消費に基づいたバッテリー寿命

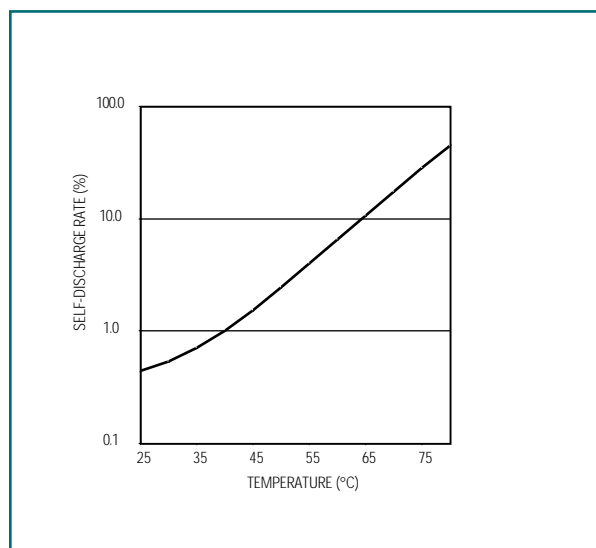


図4. 自己放電率は温度の上昇につれて増加します

を両方ともコントロールすることができます。電気的な負荷要因は、装置のパワーオンデューティサイクルによって制御されます。システム電源が適用される一方、ダラスセミコンダクタ社の部品には、電氣的にバッテリーを分離しバッテリーからの電流ドレインを除去するバッテリー分離回路が含まれています。そのため、信頼性モデルの電気的な負荷要因はシステムがバッテリーでバックアップされている間だけ有効です。システム周囲温度が温度加速要因を制御します。適切な冷却と部品配置によって、バッテリーの温度露出が減少し、システムの寿命が延長されます。

## 寿命計算の例

事例I - このシステムは室温で100%の時間バッテリーバックアップされるように設計されています。室温の場合、電解質の蒸発は事実上無視できるほど少量です。寿命はICの電流ドレインによって制限されます。

### 電気消費要因

バッテリー容量(BR1632) = 120mAh

IC電流ドレイン = 1.2μA

デューティサイクル = 100%

バッテリー寿命 =  $(0.12\text{Ah}) / (1.2 \times 10^{-6}\text{A}) = 100,000\text{時間} = 11.4\text{年}$

### 電解質蒸発要因

+25 °Cでのバッテリー寿命 = 230年

計算:  $(230 \times 11.4) / (230 + 11.4) = 10.9\text{年}$

事例II - このシステムは+60 °Cで50%の時間バッテリーバックアップされるように設計されています。電気消費または電解質蒸発による寿命は約20年とみなされています。2つのメカニズムの組合せによって電解質が10年で消費されます。

### 電気消費要因

バッテリー容量(BR1632) = 120mAh

IC電流ドレイン = 1.2μA

バッテリー寿命 =  $(0.12\text{Ah} \times 50\%) / (1.2 \times 10^{-6}\text{A}) = 200,000\text{時間} = 22.8\text{年}$

### 電解質蒸発要因

+60 °Cでのバッテリー寿命 = 19.1年

計算:  $(19.1 \times 22.8) / (19.1 + 22.8) = 10.4\text{年}$

## 集積化バッテリーコントローラ

システムにバッテリーバックアップされたSRAMまたはRTCが入るなら、適切なバッテリーコントローラを使うことが重要です。これらのコントローラは、停電の場合にシステム電源からバッテリーへのスイッチングをするとともに、Underwriters Laboratory、または他のテスト機関によって要請されている、オンチップ逆チャージング保護を提供します。ダラスセミコンダクタ社は、システム設計者がバッテリー容量の需要、又はレイアウト上の制約に基づいたシステムをカスタム化できるように、スタンドアロンのバッテリーコントローラを販売しています。

スタンドアロンのバッテリーコントローラは、特定のアプリケーションにおいて大変適している一方、コストの追加になります。エンドユーザが適切なバッテリーを選択し得る

だけでなく、製造プロセスも特殊なバッテリー必要条件に対応する必要があります。バッテリーの有効容量が限定されているので、不要な負荷がバッテリーにかからないことを製造プロセスは保証しなければなりません。このため、一方、設計上の多くの素子はESDに敏感なので伝導性ツールで取り扱われるべきですが、バッテリーは絶縁されたツールまたは非伝導性のツールで取り扱う必要がでできます。

リチウムバッテリーの組み立てに使用される材料によって温度露出許容度が制限されます。リフロー半田付け作業を一度通っただけでバッテリーは破壊されます。ということは、果たしてバッテリーが機械的なホルダでPCB(プリント基板)に取り付けられるべきか、半田付けでPCBに取り付けられるべきかという問題がでできます。自動装置とリフロー半田付けで機械的なホルダをPCBに取り付けることができます。そして、高温プロセスが完了した後にバッテリーを挿入します。機械的なホルダは、バッテリーの温度への露出をなくしますが、結果としてシステムはバッテリーを定位置に保持するのに機械的なコンタクトに依存することになります。バッテリーを半田でPCBに取り付けるには、タブ付きバッテリーを購入し、リフロー半田付け作業が完了した後、手作業で素子を半田付けする必要があります。

バッテリーコントローラと別々のバッテリーを使うことへの最終的な懸念は製造プロセスがいかに清浄であるかにあります。イオン化した汚染物質の微量な存在が、設計されたIC負荷に等しい負荷をバッテリーにかける電気的な漏電パスを起こします。これは、システムの有効寿命を大変短くします。

## バッテリーモジュール製品

バッテリーコントローラとバッテリーを含むモジュール製品を使用することにより、上記で取上げた問題のいくつかを避けることができます。モジュールメーカーには、バッテリーを劣化させずに取り扱うため要求されるプロセスがあります。また、モジュール組み立ては、バッテリーをエンドユーザの環境から隔離するので、イオン化汚染問題のいくつかが避けられます。これは結果としてバッテリー寿命の最大化につながります。

更に、ダラスセミコンダクタ社のほとんどのモジュールにはシステム電源が最初に適用されるまでバッテリーを分離する「スリープ・モード」機能が組み込まれています。この機能によって、モジュール製品の組み立てと完全なテストの実行が可能になります。その後、電氣的負荷がバッテリーから除去されます。つまり、部品をバッテリーからチャージを失うことなく、長期間在庫として保管することができます。

## 結論

ダラスセミコンダクタ社のバッテリーバックアップ製品は、エンドユーザに特定の寿命を提供するように設計され製造されています。この寿命は「最悪の条件下」で、部品は100%の時間バッテリーでバックアップされると仮定し計算されています。バッテリーの消耗に係わるメカニズムを理解することによって、エンドユーザは、パワーオンデューティサイクルとバッテリー温度露出に基づいて、

妥当でかつ正確なシステム寿命を予測することが可能です。

システム設計にダラスセミコンダクタ社のバッテリーコントローラと、別個に選択したバッテリーをユーザが使うことを考えている場合、選択プロセスにおいてバッテリーの特性を考慮すべきです。有効容量が希望する寿命を提供するのに妥当であることを保証するためには適切なICスクリーニングとバッテリーテストが必要です。

# DESIGN SHOWCASE

## マイクロコントローラ環境における 1-Wire温度センサとの ソフトウェアインタフェースの使用

1-Wire<sup>®</sup>デバイスをマイクロコントローラにインタフェースするにはDS18B20、DS18S20またはDS1822のようないくつかの方法があります。これらの方法には、簡単なソフトウェアソリューションから、ダラスセミコンダクタ社のVHDL 1-WireマスタコントローラをカスタムASICに組み込んだDS2480などの直列インタフェースチップの使用まで広範にわたっています。本文ではマイクロコントローラとDS18x20またはDS1822温度センサを、個数に制限なく、つなぐ際の基本的な1-Wire通信の最も簡単なソフトウェアソリューションを提供しています。

DS18B20、DS18S20及びDS1822に関するタイミング及び動作詳細情報は、マキシム社/ダラス社のウェブサイト[www.maxim-ic.com](http://www.maxim-ic.com)でご利用いただけるそれぞれのデータシートをご覧ください。

### ハードウェアコンフィギュレーション

図1のブロックダイアグラムでは、複数の1-Wire温度センサを使った場合、ハードウェアコンフィギュレーションが簡素化できることを示しています。単線バスはすべてのデバイスに通信アクセスと電源の両方を供給します。バスへの電力は3V~5.5Vの電源レールから4.7k プルアップ抵抗を介して提供されます。それぞれのデバイスがユニークな64ビットROM識別コードをもつので、ほぼ無制限数の1-Wireデバイスがバスに接続できます。

### インタフェースタイミング

DS18x20/DS1822とのコミュニケーションは時間スロットの使用によって行われ、1-Wireバスを介してデータ送信ができます。すべての通信サイクルは

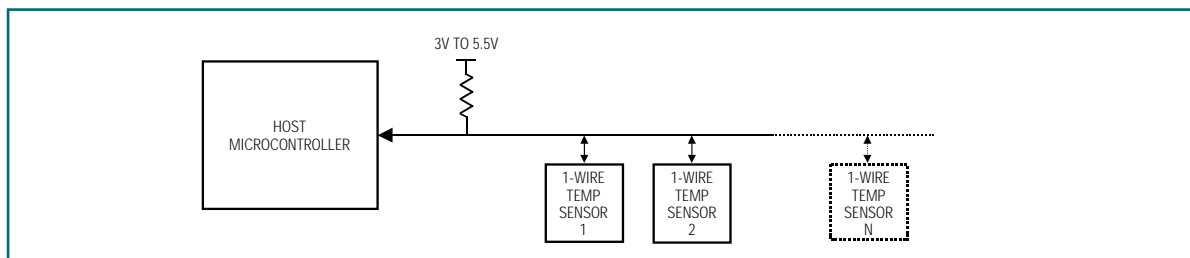


図1. 複数の1-Wire温度センサが単線バスに接続可能。

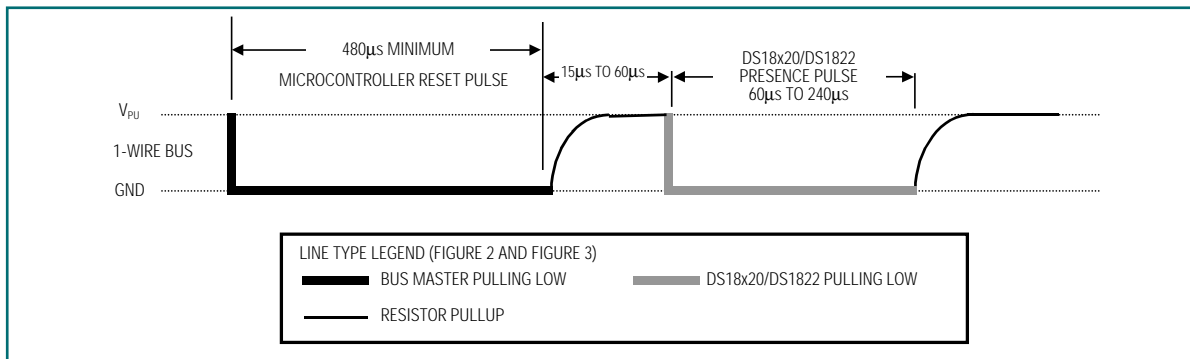


図2. すべての通信サイクルはマイクロコントローラからのリセットパルスで始まり、次にDS18x20/DS1822からの存在パルスが続きます。

1-WireはDallas Semiconductorの登録商標です。

図2に示されているようにマイクロコントローラからのリセットパルスで始まり、DS18x20/DS1822からの存在パルスがその後続きます。

書込み時間スロットはバスマスタが1-Wireバスをロジックハイ(インアクティブ)からロジックローまでプルする時に開始されます。すべての書込み時間スロットは、60 $\mu$ sから120 $\mu$ sの時間で、サイクル間のリカバリ時間が最小1 $\mu$ sでなければなりません。書込み0と書込み1の時間スロットは図3に示されています。書込み0の時間スロット中、ホストマイクロコントローラは、ラインローを時間スロットの長さプルします。しかしながら、書込み1の時間スロット中、マイクロコントローラはラインローにプルし、時間スロット開始後15 $\mu$ s以内に開放します。

読み時間スロットは、マイクロコントローラが1 $\mu$ sバスをローにプルし、それに続いてDS18x20/DS1822がラインの制御及び有効な(ハイまたはローの)データをだせるように、バスを開放します。全ての読み時間スロットは60 $\mu$ sから120 $\mu$ sの時間で、サイクル間のリカバリ時間が最小1 $\mu$ sでなければなりません(図3)。

## ソフトウェア制御

1-Wireインタフェースの特別なタイミング条件を正確にコントロールするためには、ある重要機能がまず確立されなければなりません。最初に確立される機能はディレー機能で、すべての読み及び書込みコントロールに不可欠なものです。この機能は完全にマイクロコントローラのスPEEDに依存しています。このデザインショーケースでは、11.059MHz動作のDS5000(8051コンパチブル)マイクロコントローラが使われています。図4の例は、タイミングディレーを生成するプロトタイプCの機能が示されています。

各通信サイクルがマイクロコントローラからのリセットで開始しなければなりませんから、リセット機能は次に最も重要な実施されるべき機能です。リセット時間スロットは480 $\mu$ sです。ディレーを3に設定し次に25に設定することによって(図5)、リセットパルスが必要な時間継続します。リセット後、マイクロコントローラは、DS18x20/DS1822がラインをローにプルすることによって、その存在を示すことができるように、バスを開放しなければ

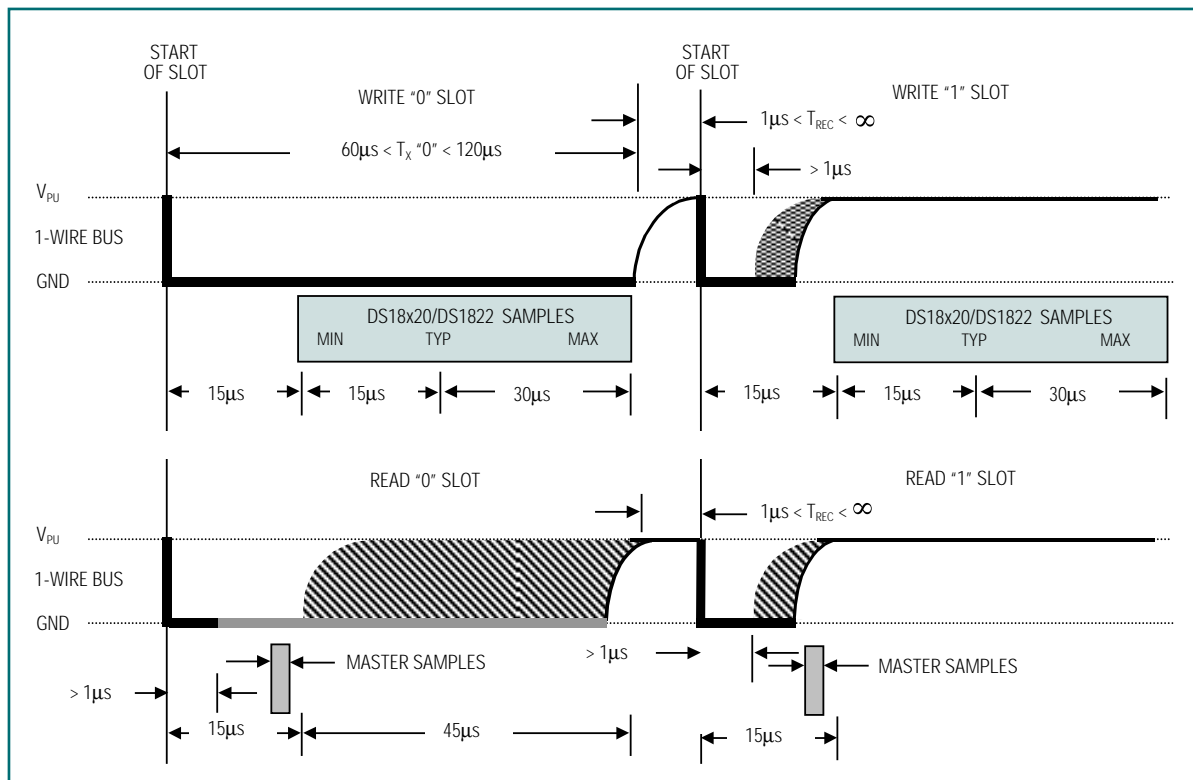


図3. タイミングディレーを生成するプロトタイプCの機能

なりません。複数の温度センサがバス上にあるなら、それらは存在パルスですべて同時に応答します。

図6、7、8、及び9に示されている読み込み及び書き込み機能の例は、すべてのデータビットとデータバイトの読み込み及び書き込み動作に必要な基本構造を示しています。

```
// DELAY - with an 11.059MHz crystal
// Calling the routine takes about 24µs, and then
// each count takes another 16µs
//
void delay (int µs)
{
    int s;
    for (s = 0; s < µs; s++);
}
```

図4. デレイの例

```
unsigned char ow_reset(void)
{
    unsigned char presence;

    DQ = 0; //pull DQ line low
    delay(29); // leave it low for 480µs
    DQ = 1; // allow line to return high
    delay(3); // wait for presence
    presence = DQ; // get presence signal
    delay(25); // wait for end of timeslot
    return(presence); // presence signal returned
} // presence = 0, no part = 1
```

図5. リセットの例

```
unsigned char read_bit(void)
{
    unsigned char i;

    DQ = 0; // pull DQ low to start timeslot
    DQ = 1; // then return high
    for (i = 0; i < 3; i++); // delay 15µs from
    start of timeslot
    return(DQ); // return value of DQ line
}
```

図6. 読み込みビットの例

```
void write_bit(char bitval)
{
    DQ = 0; // pull DQ low to start timeslot
    if(bitval==1) DQ=1; // return DQ high if write 1
    delay(5); // hold value for remainder of timeslot
    DQ = 1;

} // Delay provides 16µs per loop, plus 24µs
    Therefore, delay(5) = 104µs
```

図7. 書き込みビットの例

```
unsigned char read_byte(void)
{
    unsigned char i;
    unsigned char value = 0;

    for (i = 0; i < 8; i++)
    {
        if(read_bit()) value|= 0 x 01<<i;
        // reads byte in, one byte at a time and then
        // shifts it left
        delay(6); // wait for rest of timeslot
    }
    return(value);
}
```

図8. 読み込みバイトの例

```
void write_byte(char val)
{
    unsigned char i;
    unsigned char temp;

    for (i = 0; i < 8; i++) // writes byte, one bit at a time
    {
        temp = val>>i; // shifts val right 'i' spaces
        temp &= 0x01; // copy that bit to temp
        write_bit(temp); // write bit in temp into
    }
    delay(5)
}
```

図9. 書き込みバイトの例



## DESIGN SHOWCASE

# 8032のドロップイン交換品として DS80C320を評価

8051インストラクションセットとコンパチブルなDS80C320高速マイクロコントローラは、従来の8032と同じピン配置及び基本リソースを使って設計されていますが、大きく改善された性能と追加リソースを備えています。同じインストラクションセットとピン配置が使用されているので、DS80C320はドロップイン交換品として使用できます。しかしながら、事前にユーザは以下の問題を考慮する必要があります。

### プロセッサ速度

DS80C320は8051インストラクションセットと100%コンパチブルですが、インストラクションの実行は性能を改善するため合理化されています。以前は実行にあたって12クロック必要であったシングルバイトインストラクションは、今では4つのクロックで実行します。更に、8032のバージョンでは最大12MHzであったのに対して、DS80C320では33MHzまでのクロックを受け入れることができます。より高性能のため、DS80C320を8032のドロップイン交換品として評価する場合、プロセッサ速度を考慮しなければなりません。

基本的なインストラクションの実行時間がDS80C320において適正化されているので、データとメモリ間のトランスファに利用できる時間もまた削減されています。これは、同一周波数のクリスタルに使えるメモリアクセスの時間がより少なくなっていることを意味します。8032<sup>1</sup>のデータシートにある簡単な例でこれを説明しています。12MHzのクリスタルを使う場合、プログラムメモリが(アドレスラッチオーバーヘッドを無視して)302nsより速いアドレスアクセス時間を持たなければならないことが明記されています。また、12MHzクリスタルを使うDS80C320は230nsより速いアドレスアクセス時間のメモリを必要とします。これは大きな違いを出すわけではありませんが、考慮すべき、またあるシステムにとって重要になりうることです。適正なスピードのメモリデバイスを選択するにあたっての詳細は、ダラスセミコンダクタ社のアプリケーションノート57「DS80C320

メモリインタフェースタイミング」を参照してください。

ソフトウェアのタイミングもまた考慮されなければなりません。通常、ソフトウェアのライターは、リアルタイムの参照として、プロセッサの推定数実行速度を使用します。実行するための既知数のクロックを必要とするタイトループは、しばしば、ディレイを発生させるために使われます。DS80C320は、標準8032に比べてかなり速くインストラクションを実行するため、前に設計されたタイミングループは、もはや本来意図された結果を出しません。ソフトウェアタイミングループの使用は一般的に好ましくないソフトウェアデザインとして受け入れられていますが、実際、埋め込まれたアプリケーションではより頻繁に使用されています。DS80C320は内部タイマが8032のタイマーとまったく同様に動作する状況にデフォルトするよう設計されています。アプリケーションコードがソフトウェアディレイよりむしろこれらのタイマーを利用するように書かれているならば、コードは本来意図されたように走るでしょう。

### パワーオンリセット

DS80C320は独自のパワーオンリセット機能が発生する回路を取り入れています。RSTピンが外部のリセット発生回路に接続されているながら、新しい設計の特徴としての基板内蔵リセット機能を装備しています。多くの場合、プロセッサが独自のリセット機能を備えているのはメリットであることは事実ですが、必ずしもユーザは基板内蔵機能を求めているわけではありません。バッテリーバックアップのRAMを保存に使う際、リセットが希望する電圧レベルにならない場合や、または希望する時間継続できないならどうでしょう。RAMに独自の電圧検出回路が含まれており、DS80C320がリセットを離れるのと同じ電圧(4.0V)で保護されない状態にならないければ、プロセッサは保護されたRAMにアクセスすることができます。このようなケースは一般的ではありませんが、各々の特定アプリケーションについて以上を考慮する余地があります。

## 電力消費

DS80C320は8032と比べて性能が高いばかりでなく、同等の仕事という観点から考えるとより低電力なデバイスといえます。すべてのCMOSデバイスはスピードが速くなるとより多くの電力を消費します。DS80C320は高速部品なので一定クリスタル周波数でより多くの電力を消費します。しかし同等の仕事を考えて、図1に示されているように、従来の8032よりその消費電力は少なくなっています。この電力消費差はおそらくバッテリー駆動のアプリケーションのみで重要で、ここでは停止モードがより重要になるでしょう。

注1. Intel 8ビット埋め込みコントローラのデータブック。1991年発行。8032のデータから。

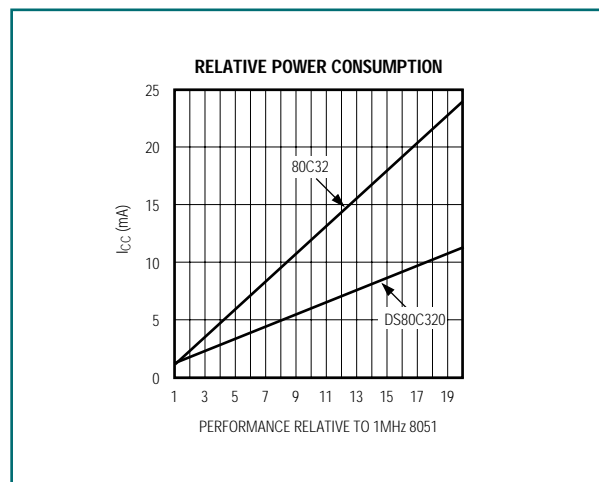


図1. 低減クロックサイクルコアは同じスループットでより少ない電流を使います。

# DESIGN SHOWCASE

## 1-Wireマスタを ASICデザインに組み込む

1-Wireマスタ(DS1WM)は、ビットタイミングの問題をなくした1-Wireバスと接続したデバイスとのホストCPU通信を容易にするために開発されました。本文では、DS1WMをユーザのASICデザインに組み込む方法が説明されています。本文書で参照されているDS89C200は、ロジックマイクロコントローラです。読者がDS1WM及びダラスセミコンダクタ社の1-Wireプロトコルの知識があることを前提にしています。より詳細な情報については、「iButton®スタンダード書」([www.ibutton.com](http://www.ibutton.com))及びDS1WMデータシートを参照してください。

### 構造

DS1WMは、4つのサブモジュールを連結して完全な装置を形成する、トップレベルのハーネスとして用意されています。トップレベルのハーネスにはHDLコードはありません。4つのサブモジュールファイルは、one\_wire\_interface、one\_wire\_master、clk\_prescaler及びone\_wire\_ioから構成されています。クロックプレスケラを必要としないアプリケーションについては、clk\_1 $\mu$ s信号の外部1MHzクロックソースが供給されている場合は、このモジュールを入れる必要はありません。(DS1WMデータシートに $\tau$ として示されていますが、入力クロックは0.8MHzから1.0MHzまでと指定されています。)

one\_wire\_ioモジュールは、DATAおよびDQ信号について双方向性信号を提供します。DQ信号は多くのアプリケーションでI/Oピンになります。この場合、

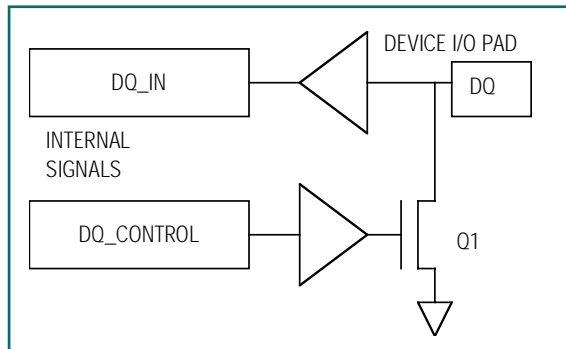


図1. DQパッドドライバ「one\_wire\_io」は適正なESD保護を備えたオープンドレインパッドでなければなりません。

DQのパッドドライバは適正なESD保護を備えたオープンドレインパッドでなければなりません(図1)。また、周辺デバイスがDS1WMの供給電源より大きいプルアップ電圧を使う場合、パッドドライバは、余剰電圧に耐えることができるものではなければなりません。この場合ダイオードクランプを使うことはできません。100 の出力ドライバが、Q1及びDQのチップV<sub>CC</sub>に対する最大4.7k までの外部プルアップに推奨されています。適正な通信を確立するために、チップV<sub>CC</sub>は1-WireスレーブのV<sub>IH</sub>よりも大きくなければなりません。

ベリログソースを作成するための外部ライブラリは一切不要です。VHDLソースバージョンには、IEEE.std\_logic\_1164とwork.std\_arith両方のライブラリが必要です。

### 接続

表1には、適正なDS1WM動作のため接続されなければならないワイヤが一覧されています。

アドレスストローブがシステム内で利用できない場合、ADS\_barをローに接続し、アドレスラッチをトランスペアレントにすることができます。EN\_bar信号は、アドレスデコードロジック外部でDS1WMモジュールに生成しなければなりません。DS1WMがデータバスの唯一のインスタンスである場合、EN\_barは、ローに接続することができます。CLKに接続されているシステムクロックは、3.2MHzから128MHzの範囲でなければなりません。

表1. 適正なDS1WM動作のためのワイヤ

ピン	動作
DQ	オープンドレイン、 双方向性1-Wireバス接続
DATA	二方向性、8ビットデータバス
ADDRESS	3ビットアドレスバス
ADS_bar	アドレスストローブ
EN_bar	インスタンスイネーブル
RD_bar	リードデータストローブ
WR_bar	ライトデータストローブ
INTR	インタラプト検出
CLK	システムクロック
MR	マスタリセット

図2にはペリログでDS1WMインスタンスを作る方法が示されています。

```
module DS89C200 (...top level list...);
wire [7:0] DB;
wire [2:0] ADDR;
wire sysclk, read_bar,
    write_bar, master_reset,
    interrupt, addr_strobe;
wire DQ_OUT;

supply1 Tie1;
supply0 Tie0;

cpu xcpu(.CLK(sysclk),
    .DB(DB),
    .EXTRD_BAR(read_bar),
    .EXTWR_BAR(write_bar),
    .EXTADDR(ADDR),
    .RESET(master_reset),
    .EXTINTR(interrupt),
    .ADDR_ST(addr_strobe),
    ... other I/O signals ...);

onewiremaster xonewiremaster(
    .ADDRESS(ADDR),
    .ADS_bar(addr_strobe),
    .EN_bar(Tie0),
    .RD_bar(read_bar),
    .WR_bar(write_bar),
    .DATA(DB),
    .INTR(interrupt),
    .CLK(sysclk),
    .DQ(DQ_OUT),
    .MR(master_reset));

... rest of design ...
```

図2 . ペリログでDS1WMインスタンスを作る。

xcpuで生成されたすべての信号はDS1WMタイミング条件を満たしています。EN\_bar信号がローに接続されている理由はデータバス上に他のアドレス可能なロジックがないからです。DQ\_OUT信号はI/Oパッドに直接接続されています。

## 合成

このデザインの合成は、非常に分かり易いものです。サブモジュールを個別に作成し、後にオプションでトップレベルを作成するボトムアップアプローチが推奨されています。sysclk信号と共にclk\_1μs信号にタイミングの制約をかける必要があります。更に、WR\_bar、RD\_bar、EN\_bar、ADS\_bar及びMRなどの非同期コントロール信号にタイミングの制約が必要となるかもしれません。また、クロック信号上にバッファが挿入されないよう、clk\_1μsに制約が必要となるかもしれません。ほとんどの場合、クロックツリーのようなクロック分布ストラテジーが必要になります。

ソースコードには合成スクリプト例とシノプシスデザインコンパイラと共に使用できるメークファイルが含まれています。ターゲット合成ライブラリを定義する.synopsys\_dc.setupファイルを作成する必要があります。また、出力デバイス強度と入力負荷を指定するために使われたターゲットライブラリからデバイスを指定する環境ファイル(「environment」と名付けられている)を変更する必要があります。これらの例示スクリプトは非常に一般的です。実際のスクリプトと制約ファイルは、特定デザインのタイミング条件に適合するようにエンジニアによって作成されます。ここで念頭に置くべきことは、DS1WMブロックのタイミングはデザインに完全に同期しないことです。DQ出力はCLKに同期しますが、バスのリード/ライトのタイミングは、CPUがCLKを使ってRD\_bar、WR\_barおよびADS\_barを作成する場合にCLKに同期するのみです。これらの信号についてはタイミング関係の仕様を参照してください。

このデザイン例は完全に自己自制したものです。FPGAとASICターゲットのコンパイルは成功しています。一般的なASICターゲットライブラリに合成される場合、そのデザインはおよそ110のフリップフロップ、3つのラッチと1492個のゲートを使用しています。

# DESIGN SHOWCASE

## 1-Wire ピックトゥライトシステムの構築

キーキャビネットは例えば行や列のアレイから1つのキー(または項目)を選ぶ必要性という共通の必要条件のおもしろい例です。例えば、ある人がサプライキャビネットのキーがほしいとしましょう。コンピュータがまだない時代では、それぞれのキーにはおそらく手書きのラベルが表示されており、キャビネットの指定された位置にキーがかけられていたと思います。タグを読んで、あるいはキーが保管されているキャビネットの位置を知っていることによって、探しているキーが見つかりました。使用後そのキーは元の位置に戻されます。そのキーがキャビネットの違う場所に戻されると、探しているキーがどこにあるか見つけ、定位置に戻すまでキーのタグをひとつひとつを見ていかなければなりません。

今日、コンピュータまたは $\mu$ Pバスマスタは「キー」がアレイのどこに置かれていてもキーを管理しています。このシステムは各キーがユニークなIDを持っている

ことが基本となっています。例えばそれぞれのキーにはDS2401シリコン連続番号が永久的につけられているかまた埋め込められているようなコンピュータ読み取り可能な1-Wireチップがついています。特定のキーが必要な場合、マスタはLEDでその場所点灯します。キーがキャビネットに返されると、バスマスタはそのユニークIDを読み取ることによって現在位置を決定することができるので、任意の場所に置くことができます。キーを保持するための空間的なアレイが、DS2409マイクロLANカプラとDS2406デュアルアドレス可能スイッチを中心に設計されています。DS2409は行を選択し、DS2406は列を選択します。本文では1-Wire ピックトゥライトシステムの基礎を説明しています。

図1には、2つの行のうち1つを選択するために使われる、2つのDS2409のハイ側スイッチが示され、一方で、DS2406デュアルロー側スイッチは列の

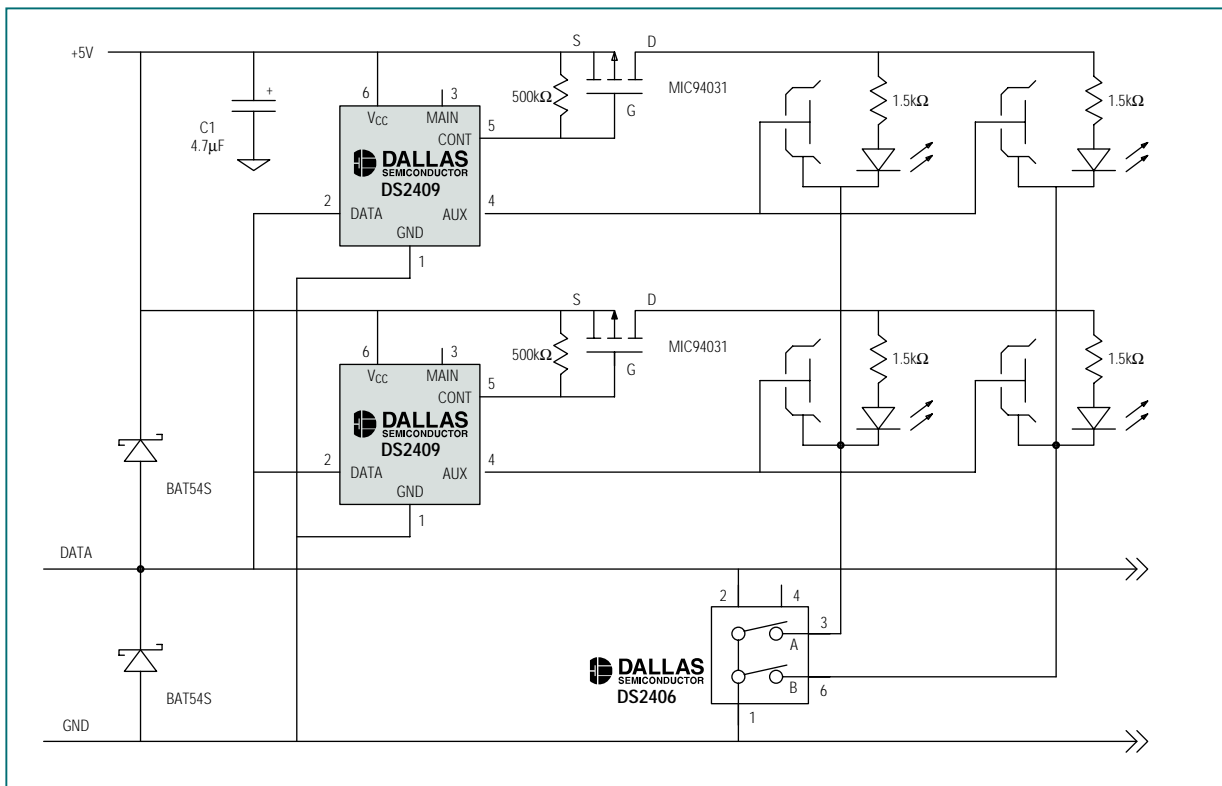


図1. DS2409とDS2406の組み合わせがピックアップライトシステムの構築に使われます。

選択のために同じ機能を実行します。ご覧の通り、それらは、視覚的にバスマスタによってアドレスされる特別なインタセクションを示し、LEDでシンプルな2x2アレイを構成しています。しかしながら、アレイは、DS2409またはDS2406を追加することによって、XまたはY次元のいずれかに簡単に拡張することができます。この方法で、ネットローディングによってのみ制約されるどんなサイズのMxNアレイでも実行可能になります。図でiButtonポート、ブルドットリセプタ、又は基板実装のはんだ溶接コネクタが示されているところはDS9098Pで代用できます。

動作の際、マスタは、該当する行をコントロールするDS2409の補助出力及び必要なキーがある行と交わるDS2406の補助出力を選択します。例えば、トップDS2409の補助出力とDS2406のB出力が両方入っている場合、右上部角の位置が選択されます。選択された表と列とマスタのインタセクションでiButtonポートを接続し、こうして存在するのであればキー上の1-Wireチップの連続番号IDが読み取られます。視覚的にどのインタセクションがアドレスされているかを示すために、マスタが選ばれたDS2409を補助出力から主出力へスイッチします。デフォルトで、これがCONTピンのスイッチを入れ、関連するPMOSトランジスタのゲートをグラウンドし、そのスイッチを入れます。パストランジスタを使って、

電力は選ばれたインタセクションのLEDに供給され、スイッチが入ります。希望する場合は、DS2409は主出力と補助出力間を繰り返しスイッチさせ、選択されたLEDに視覚的に大きなインパクトを与えるよう点滅します。すべてのDS2409の主出力が入っている場合、選ばれたDS2406出力の全列のLEDのスイッチが入ります。また、すべてのDS2406の出力が入っている場合、選ばれたDS2409の真中の列のLEDのスイッチが入ります。従って、すべての列と行のスイッチを入れることでアレイ全体が明るくなり、システムが完全に機能していることを検証するための便利な試験になります。

本文ではよく知られているキーキャビネットの考え方を例として使っていますが、ピククトゥライトシステムは、列や行が棚や棚の列に関連するような場合、在庫管理や倉庫管理に広範に適用できます。この概念は、ドアや入り口がキーとされる場合の建物のホールや廊下についても適用されます。ピククトゥライトの概念の基本的な性格が評価されるとデジタルディスプレイのような他のアプリケーションへの有効性が明確になります。改善されたトラッキングについて、DS2430のようなメモリ付きの1-Wireデバイスは、文書を管理する際取扱いエラーの可能性を最少にすることのできるDS2401の代わりに使うことができます。