

DESIGN SHOWCASE

同期バックレギュレータ出力により 高速データバスを終端

今日の5V及び3.3VのCMOSバスの能力には限界があるため、次世代コンピュータ用に高速低電圧バスがいくつも開発されています。これらの新しいバス(たとえばFuturebus、RAMBUS、GTL(Gunning Transceiver Logic))は、信号電圧スイングを小さくするために低電源電圧を必要とします。その他、HSTLやCTT(センター終端トランシーバ)等もセンター終端のため、電流ソースとしてだけでなくシンクとしても使用できる電源が必要となります。

HSTLやCTTバスの終端電源は、約0.75Vの出力を発生し、複数の50Ω終端抵抗への電流ソース及び電流シンクとなる両機能を備えていなければなりません。こうした電源を設計するには2つの難問があります。第一に、リニアレギュレータのエミッタフォロワパス素子はある程度のヘッドルームを必要とするため、このような低電圧では電流をシンクすることが難しくなります。第二に、0.75Vという電圧は、ほとんどのリニア及びスイッチモードの電源ICがフィードバックリファレンス用に使用しているバンドギャップ回路から発生する1.25Vよりも低いという問題があります。

高効率の同期バックレギュレータ(図1)を使用すると、これらの問題を解決することができます。低電圧でのシンク能力は、同期スイッチ(Q2)を用いることにより、またインダクタ電流を反転させることにより実現できます。一般のバックレギュレータICと同様に、IC1はインダクタ電流の反転防止用の電流

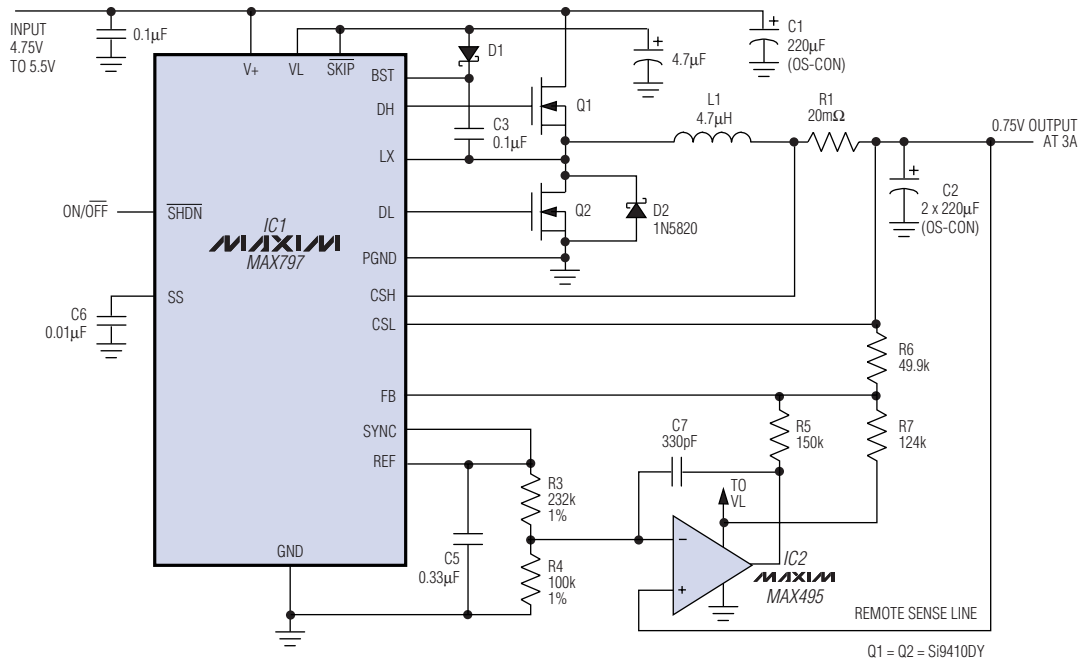
制限回路を備えています。この回路をディセーブルするロジック入力(SKIP)も備えています。

ノイズに敏感なワイヤレスアプリケーションにおいては、SKIPをハイにしてインダクタ電流を強制的に連続化することによって、インダクタ電流の不連続性に起因するリングングを防ぎます。この回路ではSKIPをハイにすることにより、電流は回路出力からインダクタに逆流し、さらに同期スイッチを経てグラウンドに流れます。

もう一つの問題、すなわち1.25Vのバンドギャップスレッシュホールドよりも低いレベルで出力を安定化させるという問題は、リファレンス電圧を分割し、外付積分アンプ(IC2)に送ることで克服します。この分割されたリファレンスを直接カップリングされたフィードバック信号に加えることによって、トランジェント応答が向上し、ICのメイン高速PFMコンパレータに直接送り込むための積分フィードバック信号が発生します。

出力によってシンクされる電流は、リニアレギュレータ終端電源の場合のように直接グラウンドには流れ込みません。そのかわりに、バクトポロジーが逆方向に機能してブーストポロジーとなり、プラスの正味電流が発生して5V電源に流れ込みます。ほとんどのシステムではこの過剰電流はいくつかの他の5V負荷によって吸収されます。

(資料請求番号4)



Q1 = Q2 = Si9410DY

図1. 従来のバックレギュレータ回路を改造して、シンク/ソース能力のある0.75V、3A出力を発生しています。これは高速データバスの終端電源として有用です。