

# I/Oポートの ESD保護

電子機器は、ケーブルを交換したり、I/Oポートに触ただけで静電放電(ESD)によって損傷を受けることがあります。こうした日常の些細な出来事による放電によりインタフェースICが破壊され、ポートが使用不能になることがあります(図1)。こうした故障は、保証期間中の修理コストの増大につながると共に、製品の品質イメージを落とすため、コストが高つくこととなります。

ESDは、これ以外の問題も抱えています。近い将来、欧州共同体への輸出は、製品が基準最低レベルのESD性能に達していなければ禁止になる可能性が出てきています。これら2つの要因と、コンピュータ及びコンピュータ関係機器間の電氣的通信量の増大を合わせて考慮すると、エンジニアがESDを理解することは、益々重要になってきています。

ESDを正しく理解するためには、電圧レベルだけでなく、電圧と電流の波形、IC保護構造、試験方法及びアプリケーション回路について考慮する必要があります。これらについて、以下に説明します。

## ESDの発生

静電荷は、2つの異質の物質が接触して電荷が移動し、その後両者が離れたとき、その間に電圧が発生することにより現れます。たとえば、革底の靴でジュータンの上を歩くと、最大25kVの電圧が発生します。発生する静電電圧は、ジュータンと靴底の皮の間の相対的電荷親和性の差、湿度及びその他の要因に依存します。

摩擦電気順列(表1)に、様々な材質間の電荷親和性が記載されています。この一覧の中の任意の2項目を接触さ

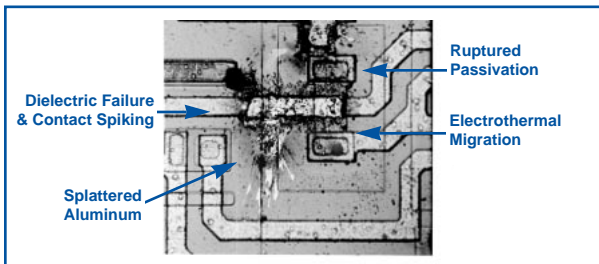


図1. ESDが不適切なICは、パシベーション層の破裂、エレクトロサーマルマイグレーション、アルミの飛散、コンタクトスパイクの発生、絶縁層の破壊といった重大な故障を起こします。

<sup>1</sup> *Electrostatic Discharge, Protection Test Handbook, 2nd Edition*, KeyTek Instrument Corporation, 1986, p.7.

せると、電荷移動が発生します。順列の中で高い位置にある物質は正電荷を帯び、順列の中で低い位置にある物質は負電荷を帯びます。<sup>1</sup> 一覧の中で互いに離れている項目ほど、正味電荷及び発生する静電電圧が高くなります。

表1. 摩擦電気順列

AIR (MOST POS.)	FUR	SEALING WAX	ORLON
HANDS	LEAD	HARD RUBBER	SARAN
ASBESTOS	SILK	NICKEL, COPPER	POLYURETHANE
RABBIT FUR	ALUMINUM	BRASS, SILVER	POLYETHYLENE
GLASS	PAPER	GOLD, PLATINUM	PVC
MICA	COTTON	SULFUR	KEL-F (CTE)
HUMAN HAIR	STEEL	ACETATE, RAYON	SILICON
NYLON	WOOD	POLYESTER	TEFLON (MOST NEG.)
WOOL	AMBER	CELLULOID	

## ESD試験方法

集積回路のESD耐性を試験するために一般的に使用されている方法は、2種類あります。最も古くからあるMIL-STD-883の3015.7法は、ICのパッケージングと取り扱いに必要な注意事項を理解するために開発されたものです。この方法では、各パッケージピンを他のグループのピンに対して試験し、故障が起こった最低電圧に従って製品を分類します。

この試験では、ヒューマンモデル回路から生成される電流波形の信号が印加されます(図2)。この波形は、通常人体が持っている容量及びソースインピーダンスのシミュレーションになっています。(ICに実際にかかる波形は

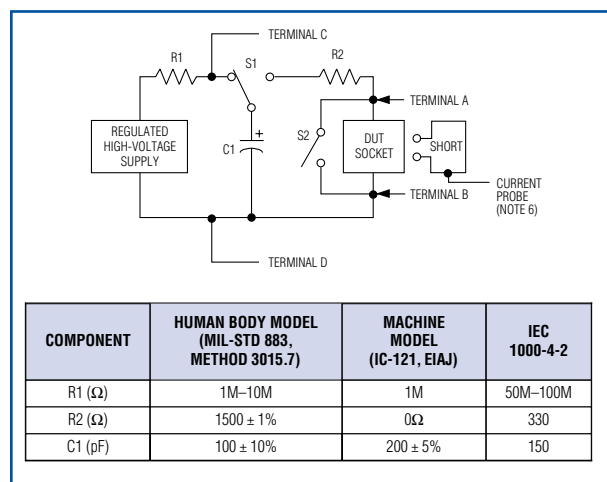


図2. 図に示すように部品定数を変えると、ヒューマンモデル、マシンモデル及びIEC 1000-4-2モデル(人間が金属物体を持つ場合)と呼ばれる放電回路が得られます。

試験接続部及びPCボードの寄生インダクタンス及び寄生容量に依存するため、回路レイアウトが重要になります。)ここで得られる電流波形は、人間がIC等の物体に触れたときに発生するESDを表しています。

もう1つの方法は、RとCの値が上記と異なるだけですが、日本電子機械工業会(EIAJ)によって開発されたものです。これはIC-121と呼ばれ、マシンモデル回路(図2)を基にします。これは、ICを取り扱う機械がICと接触したときに発生するような電流波形を印加します。この波形は、可動部品に蓄積する電荷によって生じるESDに似せることにより、マシンアセンブリ中に見られる静電放電をシミュレーションしています。

これらの2方法は互いに相補的であることから、一方だけを選択することはできません。ESDは、製造工程、PCボードアセンブリ中及び最終製品の使用中のいずれの場合にもICに影響を与える可能性があります。このため、ヒューマンモデルとマシンモデルの両方に基づく試験を行なうことにより、ICが製造工程と挿入時の厳しい条件にどれだけ耐え得るかを確認できます。

ICの中には、コネクタを通じてピンが外部に露出しているため、機器に内蔵されるPCボードに取り付けられた状態でもESDが印加されるものもあります。その他のボード上の回路に接続されているピンでは、ESDの心配はそれ程ありません。3015.7法(ピンの組み合わせで試験)では、こうしたICの入出力(I/O)ピンのESD耐性を適切に査定できません。

いずれの方法も任意のピンの最低電圧の故障に従って定格を定義します。但し、これではI/Oピンに必要な高レベルの内部ESD保護(一部のメーカが提供)を正當に評価できません。例えば、製品によってはI/Oピンが $\pm 15\text{kV}$ に耐える一方非I/Oピンが $\pm 2\text{kV}$ で故障する、というような事もあります。上記の方法を使用すると、この製品のESD定格は $\pm 2\text{kV}$ 以下になってしまいます。しかし幸いなことに、I/Oピンの定格を定めるためのより良い方法が開発されています。

## I/Oポートの新しいESD試験

I/Oポートは、他の機器との通信に使用されます。ICのI/Oポートは、そのICを備えたシステムの外にある機器にアクセスするためのピンの論理的グループから構成されます。これらのピンは、オペレータによってケーブルが付け外しされる度に静電放電等の過酷な条件にさらされます。RS-232やRS-485インタフェースICのI/OピンのESD耐性を試験するための最適な方法には、以下の条件が必要です。

- 実際の機器でのESDをシミュレーションした方法でのみI/Oピンを試験する。

- 人体が発生する静電放電をモデル化した試験波形を印加する。各回路モデルには、様々な振幅、立上がり/立下がり時間及び伝達電力が指定されています。
- ICを通電状態と非通電状態の両方で試験する。
- ICの故障として、破壊的故障及びパラメータ故障の他に、ラッチアップ(瞬間的な動作不能状態)も含める。ラッチアップは、検出されないと信頼性の問題及び機器の不良動作につながるため故障と見なします。

機器メーカーでは、上記の条件を満たすI/OポートのESD耐性の試験として、主に2つの方法を利用するようになってきています。1つはMIL-STD-883の3015.7法を修正した方法です。この方法では元の方法と同じ回路モデル及び波形を使用しますが、I/OピンにだけESDパルスを印加する点が異なります。これは、ターゲットとなるシステムでボード上のICが動作中に遭遇する障害電流のシミュレーションを意図するものです。波形(図3)は、図2の試験回路から発生します。部品定数は、3015.7法で指定されているものと同一値を使用します。

基本の3015.7法と同様、修正法もESD波形及び故障の基準だけを定義します。波形の印加後、故障したICはラッチアップするか、データシートの仕様中の1つ以上の項目で不合格になります。修正された方法では試験中のICの動作モードについては指定がありませんが、マキシム社では全ての可能なモード(電源オン/オフ、トランスミッタ出力ハイ/ロー、スタンバイ/通常動作等)を試すことを推奨しています。

同様に、修正3015.7法では製品の耐ESDレベルの指定は特になく、ただ保護の等級だけが定義されています。しかし、マキシム社の新しいトランシーバでは通常 $\pm 15\text{kV}$ のESD保護を提供しています(表2及び表3)。このレベルの保護により、場合によっては高価なTransZorb™等の外部保護回路を排除することもできます。

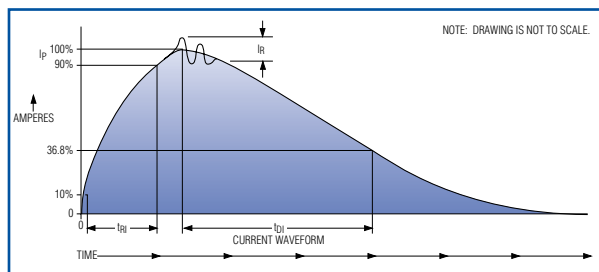


図3. このESD波形のパラメータ(立上がり時間、ピーク電流、リングング及び減衰時間)はMIL-STD-883の3015.7法で指定されています。

TransZorbはGeneral Semiconductor Industries, Inc.の商標です。

表2. 高レベルESD保護付RS-232インタフェースIC

品名	Rx/Tx数	ESDレベル			容量(μF)	データレート(kbps)	シャットダウン時アクティブなRx	シャットダウン電流(μA)
		ヒューマンモデル	IEC 1000-4-2					
			接触	放電				
MAX1406	3/3	±15kV	±8kV	±15kV	-	230	0	-
MAX1488E	4/0	±15kV	±8kV	±15kV	-	120	0	-
MAX1489E	0/4	±15kV	±8kV	±15kV	-	120	0	-
MAX202E	2/2	±15kV	±8kV	±15kV	0.1	120	0	-
MAX203E	2/2	±15kV	±8kV	±15kV	-	120	0	-
MAX205E	5/5	±15kV	±8kV	±15kV	-	120	0	1
MAX206E	4/3	±15kV	±8kV	±15kV	0.1	120	0	1
MAX207E	5/3	±15kV	±8kV	±15kV	0.1	120	0	-
MAX208E	4/4	±15kV	±8kV	±15kV	0.1	120	0	-
MAX211E	4/5	±15kV	±8kV	±15kV	0.1	120	0	1
MAX213E	4/5	±15kV	±8kV	±15kV	0.1	120	2	15
MAX232E	2/2	±15kV	±8kV	±15kV	1.0	120	0	-
MAX241E	4/5	±15kV	±8kV	±15kV	1.0	120	0	1
MAX3185	5/3	±15kV	±8kV	±15kV	-	230	0	-
MAX3186	5/3	±15kV	±8kV	±15kV	-	230	0	-

表3. 高レベルESD保護付RS-485/RS-422インタフェース

品名	Rx/Tx数	ESD電圧(ヒューマンモデル)	データレート(kbps)	シャットダウン電流(μA)	消費電流(μA)	バス上の最大トランシーバ数
MAX1487E	1/1	±15kV	2500	300	250	128
MAX481E	1/1	±15kV	2500	1	500	32
MAX483E	1/1	±15kV	200	1	350	32
MAX485E	1/1	±15kV	2500	300	500	32
MAX487E	1/1	±15kV	250	1	250	128
MAX488E	1/1	±15kV	250	-	350	32
MAX489E	1/1	±15kV	250	1	350	32
MAX490E	1/1	±15kV	2500	-	500	32
MAX491E	1/1	±15kV	2500	300	500	32

### IEC 1000-4-2モデル

次に、I/Oピンを含むIC試験用のより厳格な方法として、IEC1000-4-2が挙げられます。これは、国際電気技術委員会(IEC)によって開発された機器レベルの試験です。元来ヨーロッパで機器を販売するときの受け入れ条件として考えられたものですが、米国及び日本でも標準的なESD基準として急速に受け入れられつつあります。元はICの仕様ではありませんでしたが、現在ではICのESD試験にも使用されています。3015.7の修正法の場合と同様、I/Oピンだけを対象とした試験です。

IEC1000-4-2のモデルも図2の回路を使用しますが、部品点数が異なります。抵抗R2(330Ω)は人間がドライバ等の金属物体を手を持っている状態に相当し、C1(150pF)は人体の容量に相当しています。この回路の発生する電流波形(図4)は、3015.7法よりも立ち上がりが急峻になっています。

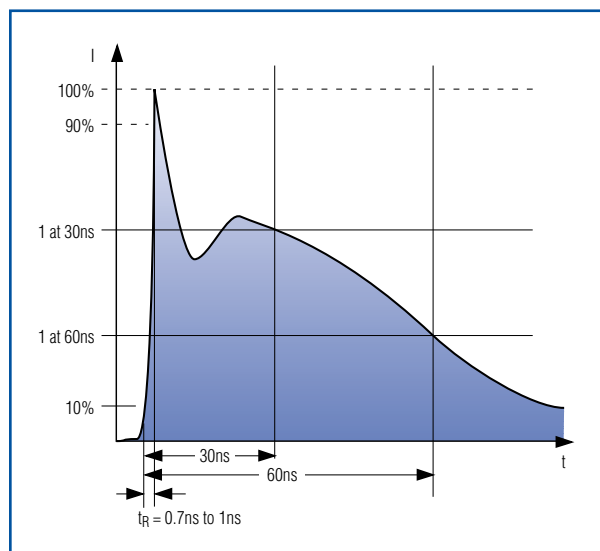


図4. このESD波形のパラメータ(立ち上がり時間、ピーク電流、30nsでの振幅及び60nsでの振幅)はIEC1000-4-2で指定されています。

表4. IEC 1000-4-2の適合レベル

IEC1000-4-2 適合レベル	最大試験電圧 接触放電(kV)	最大試験電圧 エアギャップ放電(kV)
1	2	2
2	4	4
3	6	8
4	8	15

表5. ESD電流対モデル及び印加電圧

印加電圧 (kV)	ピーク電流(A)	
	IEC 1000-4-2	ヒューマンモデル
2	7.50	1.33
4	15.0	2.67
6	22.5	4.00
8	30.0	5.33
10	37.5	6.67

IEC1000-4-2は、接触放電とエアギャップ放電の両方によりESD試験を指定しています。接触によるESDは再現性はありますが、現実的ではありません。エアギャップ放電の方が現実的ですが、温度、湿度、気圧、ICと電極の距離及びICピンへの接近速度等が変動すると波形が大幅に変わります。(この波形の変化は、耐ESDレベルの測定値に大きく影響します。)

IEC1000-4-2では、I/Oピンによる最大耐圧の最低値に従って適合レベルを4段階に定義しています(表4)。この表では、これらのレベルを接触放電とエアギャップ放電の両方について定義しています。

### 接触放電とエアギャップ放電

IEC1000-4-2によるICのESD耐性試験では、ESDガンの使用が要求されています。このガンにより接触放電及びエアギャップ放電の両方を試験できます。接触放電では、ガン内部のスイッチにより試験電圧が印加される前に、ガンとI/Oピンが物理的に接触している必要があります。エアギャップ放電では、ガンがI/Oピンに(垂直方向から、できるだけ速く)近づく前に試験電圧で充電される必要があります。エアギャップ放電法では、試験回路からの臨界距離でスパークが発生します。

エアギャップ放電で発生するESDは、実際のESDに似ています。しかし、実際のESDと同様、エアギャップ放電は再現することが困難です。このため、IEC1000-4-2では試験の再現性を重要視する観点から接触放電を推奨し、修正3015.7法では接触放電のみを要求しています。いずれの場合も、試験手順では各試験レベルで最低10回の放電を行うことを規定しています。

これら2つのESD規格(修正3015.7法及びIEC1000-4-2のエアギャップ放電又は接触放電)では、試験中の製品に流れるピーク電流が異なります。部品定数を変えることにより、これらのピーク電流は5倍以上も変化します(表5)。ピーク電流は、ICが消費する必要がある望ましくない電力を生成するため、IEC1000-4-2の方がESD試験法としてより厳しいものであると言えます。

大電流は下記の様々な理由でICに損傷を与えます：

- 過剰な局部加熱
- シリコンの融解
- 短絡によりアルミニウムがシリコンに溶け込むことで生じる接合部のスパイク(図5)
- 金属ラインの損傷
- 過剰電圧によるゲートオキシドの故障
- エレクトロサーマルマイグレーションによるトランジスタの損傷(図6)

### 保護方法

ESDの保護としては、外部に保護回路を設けるか、又は高レベルの保護機能を内蔵しているICを選びます。保護回路としては、メタルオキシドバリスタ及びTransZorb等のシリコンのアバランシェサプレッサが挙げられます。これらの素子は効果的ですが、高価でもありません(シリコンのアバランシェプロテクタは¥40/ライン)。

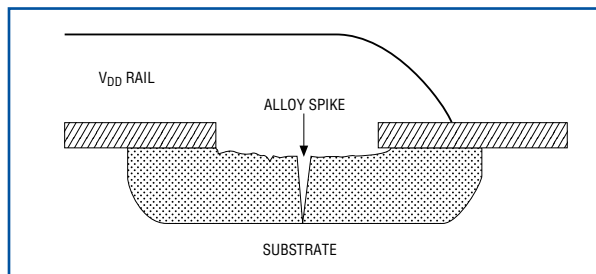


図5. ICに大きなESD電流が流れると、アルミニウム接点の一部シリコンに溶け込んでその下の層との間に永久的に短絡するために接合部にスパイクが生じることがあります。

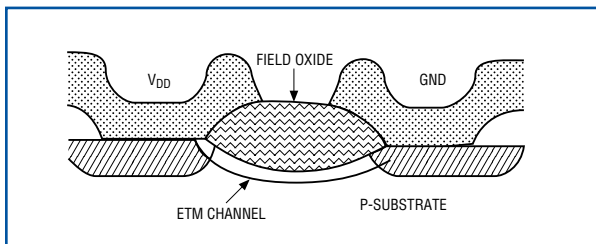


図6. ESD発生時のIC内のエレクトロサーマルマイグレーション(ETM)によって損傷することがあります。これは大電流及び高電圧によってトランジスタの端子間に短絡又は低インピーダンス経路が生じるためです。



さらに、外部ESD保護は貴重なボード面積を使用し、I/Oラインの容量が増えるという問題もあります。

こうした制限を克服するために、メーカーはICのESD保護レベルを高めてきました。例えばマキシム社では、RS-232 ICに対しIEC1000-4-2及びヒューマンモデルの両方で $\pm 15\text{kV}$ の保護を提供しています。

## マキシム社のESD保護アプローチ

ESD電流波形は立上がりが非常に速いため、回路に分散している寄生インピーダンスによってIC内での挙動が強く影響されます。このため、外部レイアウトに注意することによってICの内部保護ネットワークの性能を最大限に発揮させることができます。マキシム社では、インタフェースICに関して下記の対策を推奨しています。

- 標準的なアナログレイアウト技術に従い、全てのパイパス及びチャージポンプコンデンサをできるだけICの近くに取り付けてください。
- PCボードにグランドプレーンを含めてください。
- トレースのインダクタンスと容量を最小限に抑えてください。
- ICをI/Oポートのできるだけ近くに取り付けてください。

RS-232トランシーバ又はその他のインタフェースICのESD下での信頼性を調べる手段として、マキシム社では修正3015.7法及びIEC1000-4-2モデルの両方の使用を推奨しています。手順としては、いずれの場合も仕様の

ESD範囲で200Vステップで電圧を増加していき、各レベルにおいて、各電圧極性で約1秒間に1度ずつ、10回デバイスに試験波形を印加します。

これらの試験では、機器に取り付けられた状態のICのESD性能を評価することが目的であるため、試験はICが機器の中にある時と同経路でESD電流が流れるように設置します。放電はICのグランドピンを基準に行います。(IEC1000-4-2で述べられているように、回路のグランドは通常機器のシャーシに接続されます。)マキシム社では、IEC1000-4-2法用にSchaffner Instruments社(スイス)のNSG 435 ESD型のガンを推奨し、修正3015.7法用にはIMCS社(カリフォルニア州フリーモントOryx Technology Corporationの一部門)の4000 ESD型のテスターを推奨しています。

放電を行う度に3つのパラメータを監視して故障の有無をチェックしてください。第一に、消費電流が一定値に留まっているか(消費電流の増加はラッチアップ又は内部損傷の疑いがあります)。第二に、トランスミッタ出力電圧がRS-232トランスミッタの $\pm 5\text{V}$ の最低レベルを維持しているか。第三に、レシーバ入力抵抗が $3\text{k}\Omega$ と $7\text{k}\Omega$ の間に維持されているか(理想的にはこの範囲内の一定値に留まります)。デバイスは必ず全てのモード(通常動作、シャットダウン、電源オフ、トランスミッタハイ/ロー等)で放電し、チェックしてください。

## 耐ESD ICの選択ガイドライン

高い耐ESDレベルが必要なIC(特にRS-232トランシーバ)を選ぶにあたっては、まず以下の点を考慮してください。

- ICの保証耐ESD電圧レベル及び試験方法は?電圧定格は試験方法によって異なります。現在、IEC1000-4-2及び修正3015.7法の両方を含む方法が推奨されています。
- ESDによってIC内にラッチアップが発生しますか?ラッチアップは重要な問題です。ESDによって回路内にラッチアップが生じるとICが機能を停止することがあります。その結果生じる電源電流(最大1A)により、ICが破壊される場合があります。
- ICのESD保護が通常動作に影響を与えますか?内部保護構造の設計が悪いと通常動作でラッチアップを起こします。

- ICを使用する時に特別な注意事項を守る必要がありますか?パイポーラICは、高価な低ESRコンデンサ又はACインピーダンスの低いグランドプレーンを必要とすることがあります。こうした必要条件に予め精通しておくことが重要です。
- ICの最大スルーレートの仕様は?ESD保護構造のためにラッチアップし易いICでは、ラッチアップをトリガしないように最大スルーレートの仕様を著しく低くしてあることがあります。
- 保証範囲全体をカバーするESD試験をした場合、そのICはどう反応しますか?ESD保護構造のトリガ機構が異なる電圧で起動され、保護されない範囲が残ってしまうことがあります。(そうしたデバイスは、例えば $\pm 10\text{kV}$ に耐えても $\pm 5\text{kV}$ で故障したりします。)マキシム社では、ESD試験で全範囲を200Vステップでカバーすることを推奨しています。