

キーワード: ジッタ, クロックジッタ, データジッタ, ハイスピードシリアル, 高速シリアル, 信号品質, シグナルインテグリティ, SERDES, シリアライザ-デシリアライザ, クロックおよびデータリカバリ, CDR, ジッタ耐性, CPRI, 共通公衆無線インタフェース, ビットエラーレート, BER, 確定的ジッタ, ランダムジッタ

Sep 10, 2010

アプリケーションノート4613

## ハイスピードシリアル通信リンク上のクロックおよびデータジッタを測定、識別、および除去するためのフレームワーク提案

筆者: Hamed Sanogo, Field Applications Engineering Manager

要約: 新しい成功したシリアルデータ規格が高速から超高速に移行するにつれ、設計者は、それらのハイスピード信号のアナログ面にもっと大きな時間を割かなければなりません。1と0のデジタル領域にとどまっているだけではもはや十分ではありません。潜在的な問題につながる状態を見つけて修正することによって、それらの問題がその領域に現れるのを阻止するために、設計者は、各自の設計のパラメトリック領域もチェックする必要があります。シグナルインテグリティ(SI)のエンジニアは、システム性能に対するタイミングジッタの影響を軽減または除去する必要があります。以下の考察では、1Gbps以上のハイスピードシリアルデータリンクを特性評価するための簡単で実践的な手順を提供します。

このアプリケーションノートの内容は、2008年12月1日に「Electronic Design Magazine」のウェブサイトに掲載されました。

### はじめに

ハイスピードシリアルリンクの特性評価は、深刻なジッタ問題を見つけ、理解し、解決するSIエンジニアの能力によって左右されます。この考察では、PHY (物理層) またはSerDes (シリアライザ/デシリアライザ) デバイスのクロックおよびデータ再生(CDR)ブロックがそのデバイスに適用可能な規格に準拠しているものと仮定します。シリアル通信システムでは、CDRはクロック信号をデータストリームから再生します。したがって、主要な動作は、データをシリアルデータストリームから抽出し、それをデータトランスミッタクロックと同期させることです。

トランスミッタは常に、再生したクロックのジッタの要因の一部となりますが、その寄与は最小限であると仮定します。したがって、議論を簡単にするために、再生したクロック上に見られるどのジッタもケーブル内のリンク上で(EMIとして)、またはPCB内部で(クロストークとして)結合されたものと仮定します。

「ジッタ伝送」、「ジッタ耐性」、および「ジッタ生成」は重要な測定基準ですが、これらは、システムチャネルの試験に対してより、PHYおよびSerDesデバイスに対してよく適用されます。設計で使用される各デバイスがすべてのデバイスレベルコンプライアンス試験に適合しているものと仮定します。したがって、レシーバ側で確実にシリアルデータを捕捉する方法を探すとき、この完全なシステムを中心に取り上げます。デバイスの特性評価ではなく、むしろ、システムチャネルの特性評価を調べます。このようなチャネル(図1)は、トランスミッタPHY、FR4 (PCB材料)、コネクタ、シールドケーブル、コネクタ、FR4、およびレシーバPHYで構成されています。

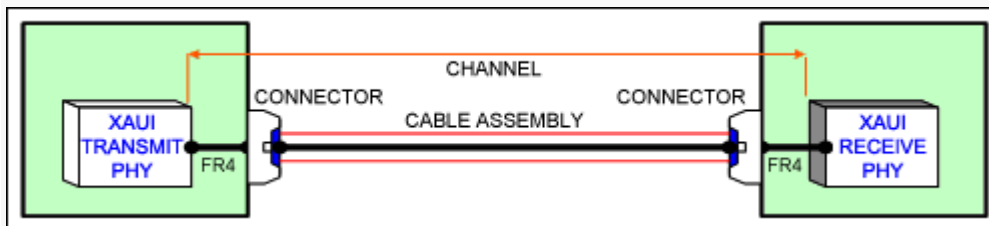


図1. チャネルラインアップには、FR4 (PCB材料)、ケーブル/コネクタ、および追加のFR4が含まれています。

内蔵テレコムカードは、このアーティクルにおける測定値の多くの収集に使用されるミックストシグナルボードで、「無線ユニット」の一部です。無線ユニットは、基地局を、基地局と無線ユニット間通信の新しい規格である共通公衆無線インタフェース(CPRI)に接続します。CPRIの1つの物理層には、無線データ(IQデータ)のほかに、管理、制御、および同期情報も含まれます。このアーティクルで説明するアプリケーションの場合、CPRIは1.2288Gbpsでのシリアルリンク上の動作が保証されています。このアーティクルで説明するジッタ試験を例示するために、このシリアルリンクが特性評価および測定されます。

## ジッター—その性質の理解

ハイスピードシリアル通信インタフェースに規定された性能を達成する最も重要な手順には、ジッターの理解、その原因の検出、およびその影響の一部の除去が含まれます。このアーティクルは、ジッターそのもののトピックに関するチュートリアルではありませんが、ジッターに関して多少とも説明しなければ、シリアル通信リンクの試験について論じることは困難です。したがって、この項の考察は、この主題の初心者を対象とします。

ジッターとは、信号エッジのその理想位置からの時間的な変動量として定義されます。より端的に言えば、ジッターとは、デジタル信号の有意エッジの時間的な理想位置からのずれのことです(図2)。ジッターは、デジタル信号の望ましくない位相変動とみなすこともできます。始めに、SIエンジニアは次のような基本前提を理解しておく必要があります。すなわち、シリアルリンクデータレートに適合していても、そのジッター規格に適合していないレシーバは、高い信頼性で動作しない可能性があります。したがって、システムの許容可能なビットエラーレート(BER)を保証するためには、ジッターの特性評価が不可欠になります。ジッターは、タイミングマージンおよび同期に影響を及ぼす可能性があると同時に、その他のさまざまな問題の原因にもなります。

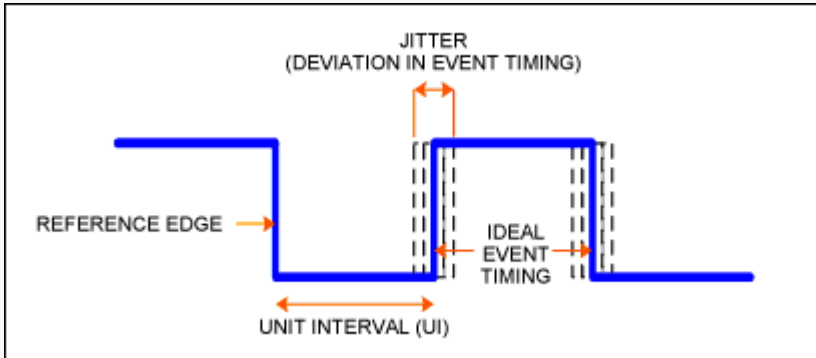


図2. シングルパルスに関して、ジッターはエッジタイミングにおける偏差として定義することができます。

出力遷移の理想位置からの偏差とみなされるジッターは、シリアルリンクのクロックおよびデータ信号の両方に対する重要な性能測定量となります。ジッターの連続的な増加によって、最終的にデータエラーが発生します。ハードウェアシステム上で採取されるいずれの時間領域の測定も、その採取に使用したサンプリング信号と同じ程度にしか良好でないことを留意してください。

最新のシリアル通信システムは、レシーバ側で外部トリガ信号を使用するよりもむしろ、クロック情報をデータストリーム内に埋め込むことを選ぶようになってきました。したがって、クロックは受信したビットストリーム自身から再生する必要があります。標準的なSerDesレシーバのブロック図(図3)に、CDRと呼ばれるこの機能が示されています。しかし、着信する信号は、一定量以上のジッターまたは位相ノイズを持っており、再生されたクロックはデータとそろって正確のままにすることができません。ずれによって、個々のデータポイントの不正確な時間的な配置が生じます。

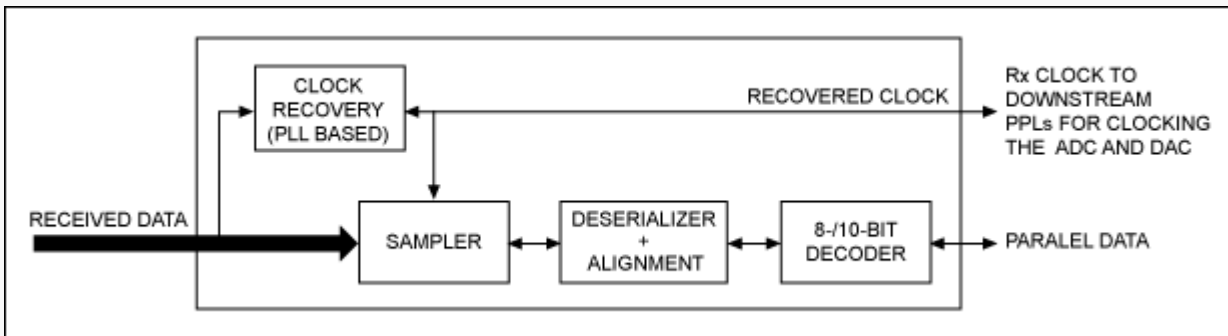


図3. このブロック図は、一般的なSerDesレシーバを示しています。

BERを最小化するには、データストリームでこの位相シフトを正しくタイミングする必要があります。そのため、現在、シリアル通信規格ではジッターの高精度測定に、より高い重要性が置かれるようになってきました。ジッターは通常、確定的ジッター(DJ)またはランダムジッター(RJ)として分類されます。各タイプのジッターは、異なった方法で作成されるため、別々に特性評価されます。

## ジッターの2つの基本成分：DJおよびRJ

ランダムジッターは、識別可能なパターンを持たないタイミングノイズを表します。モデリング目的のため、RJは、ガウス確率分布(図4)を持っていると仮定されます。通常、自然の力に起因するRJは、統計的かつ限定されていません(RJはRMS量で表現されたその標準偏差値によって特性評価されます)。したがって、サンプルサイズなしでRJ規格を提供してもあまり意味がありません。しかし、ほとんどの設計者は、このパラメータに関して、システム内のRJの値を測定する以外何も行っていません(RJの原因を特定することは難しいタスクで、このアーティクルの範囲を超えています)。

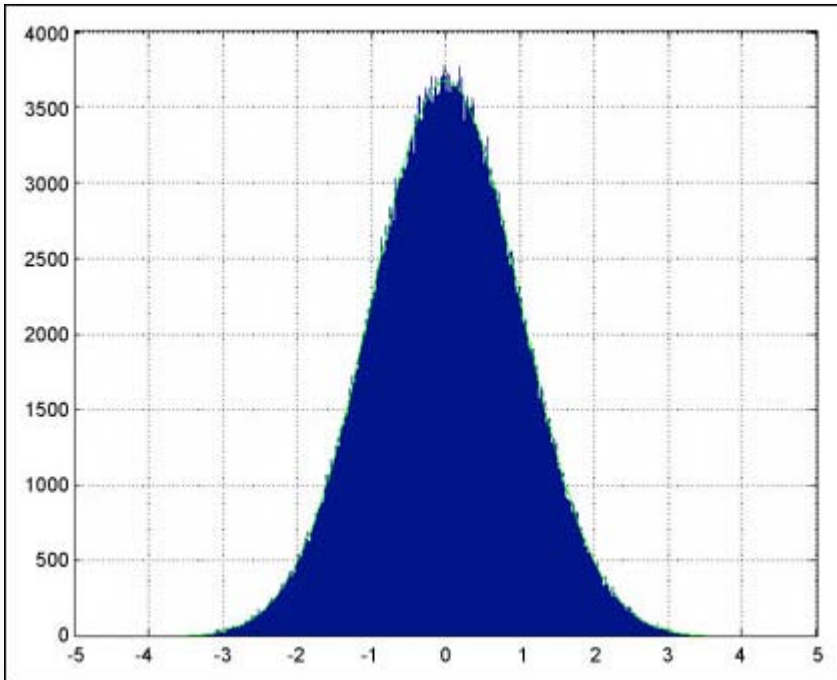


図4. ガウス(正規)分布は、最大値を基準として対称的です。

確定的ジッタは、システム内のイベントによって引き起こされ、「多少」識別可能なパターンを持つタイミングノイズとして現れます。DJは通常、再現可能、永続的、予測可能です。さらに、DJは通常、回路、レイアウト、および伝送ラインなどの領域における設計の欠陥の結果です。不良なリファレンスプレーンに起因する電源ノイズと同様に、DJは一般的に非ガウスです。

確定的ジッタはさらに以下のサブ成分に分類されます。すなわち、周期ジッタ(図5のPJ)、データ依存ジッタ(DDJ、符号間干渉またはISIとも呼ばれる)、デューティサイクル歪みジッタ(DCDJ)、およびデータに無相関で限定されたその他の任意のタイミングジッタです。PJは、他の信号からやシリアルデータ信号に近接する半導体スイッチングからのクロストークによって、電磁干渉(EMI)によって、およびその他の望ましくない変調によって引き起こされる可能性があります。DCDJは、データ内の不平衡な遷移(つまり、立上りと立下り時間の違い)から生じます。DDJは、データストリーム内のビットシーケンスに相関性があるジッタです(チャンネルの周波数応答によっても影響されます)<sup>1</sup>。

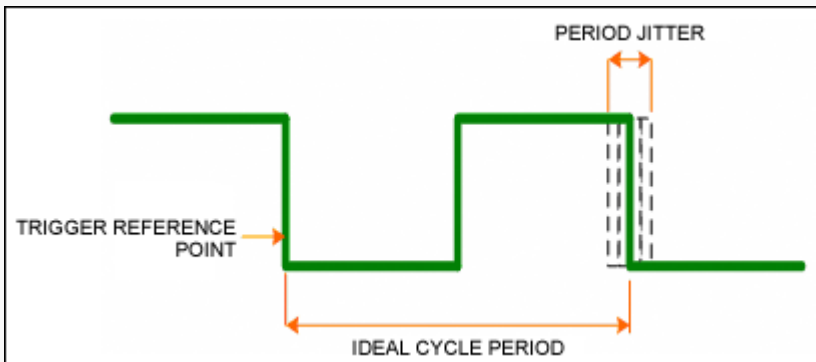


図5. PJの場合、タイミング偏差は予測可能なパターンを持っています。

## 総ジッタ(TJ)

推測されるように、TJは、ランダムおよび確定成分で構成されます(図6)。TJを推定するには、いくつかの技法があります。一部の技法では、TJをRJとDJ成分に分解し、RJ成分の前で乗数を使用して、これらを合計することによって、TJを求めます。他の技法では、時間間隔誤差(TIE)測定値のヒストグラムを推定することによって、TJを求めます。TJは通常、peak-to-peak値をピコ秒またはユニットインターバルとの分数で表現します。たとえば、0.2UIは、ジッタがデータアイの20%であることを意味します。

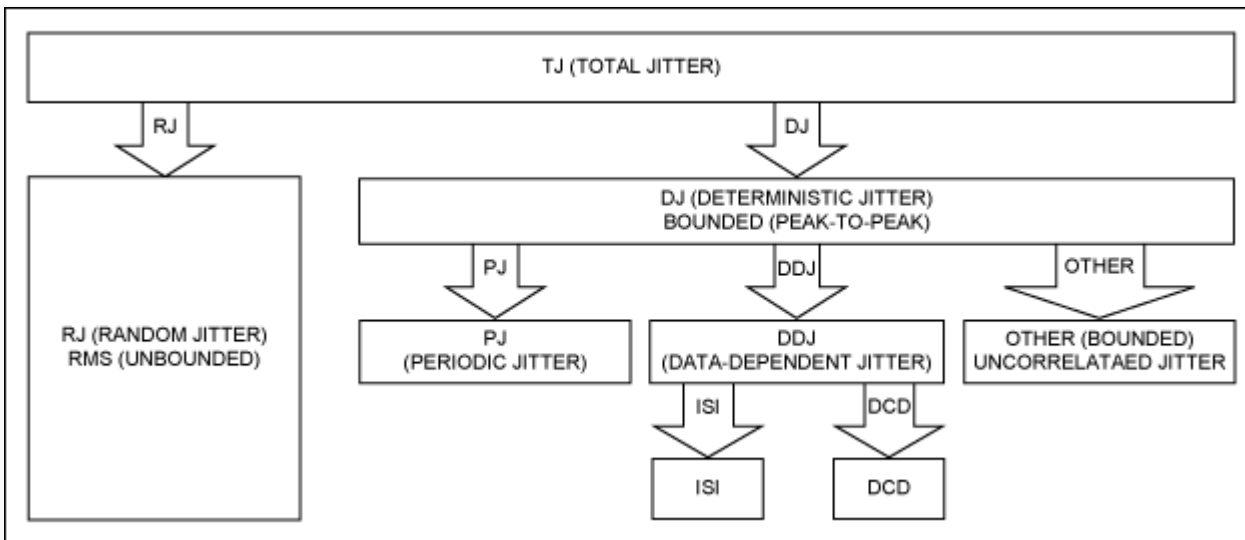


図6. システム内の総ジッタはさまざまなタイプ(成分)を含む可能性があることを示しています。

したがって、システムの全体的性能を予測するには、ジッタのタイプと各影響を理解する必要があります。ジッタはタイミング誤差を引き起こすため、システム内のすべてのジッタ成分を特性評価し、限定することがますます重要になっています。しかし、それを行うことができるには、まず、ジッタの発生源を決定する必要があります。上述のように、2つのタイプ(ランダムと確定)は異なる発生源を持っています。設計者は、内蔵の回路基板の既存システム内のRJの発生源に対してほとんど制御することができません<sup>2</sup>が、優れた設計手法は、DJの発生源を大幅に軽減あるいは除去します。表1に示すように、各ジッタ成分は特定の要因を持っています<sup>1</sup>。

表1. ジッタの一般的発生源

Jitter Type	Common Source	Root Cause
Deterministic	EMI	Unwanted radiation of conducted emissions from other devices in the PCB or system, such as a switching power supply.
	Crosstalk	Undesired signals that result from coupling between adjacent conductors.
	Reflections	Impedance mismatch (or mismatches) on the signal lineup (ISI from the receiver's perspective), due to poor stubbing, incorrect or absent terminations, and/or discontinuities in the physical media.
Random	Shot noise	White noise generated when electrons and holes move in a semiconductor (i.e., noise within system components).
	Flicker noise	1/f noise, mostly at lower frequencies.
	Thermal noise	White noise generated by the transfer of energy between free electrons and ions. It is created by the movement and collision of electrons in the conductor.

## ハイスピードシリアルリンクの優れた特性評価を達成するための6つの手順

### リンク特性評価フレームワーク

ここで提示するリンク特性評価フレームワークは、クロックとデータジッタの発生源を識別および測定する際に役立ちます。この技法は、ジッタ源を分離して、この試験フレームワークによって解明された問題領域に重点的に取り組む設計者の能力に左右されます。ジッタ試験には一般に、チャンネル上の繰返しテストパターンの観察が要求されます。

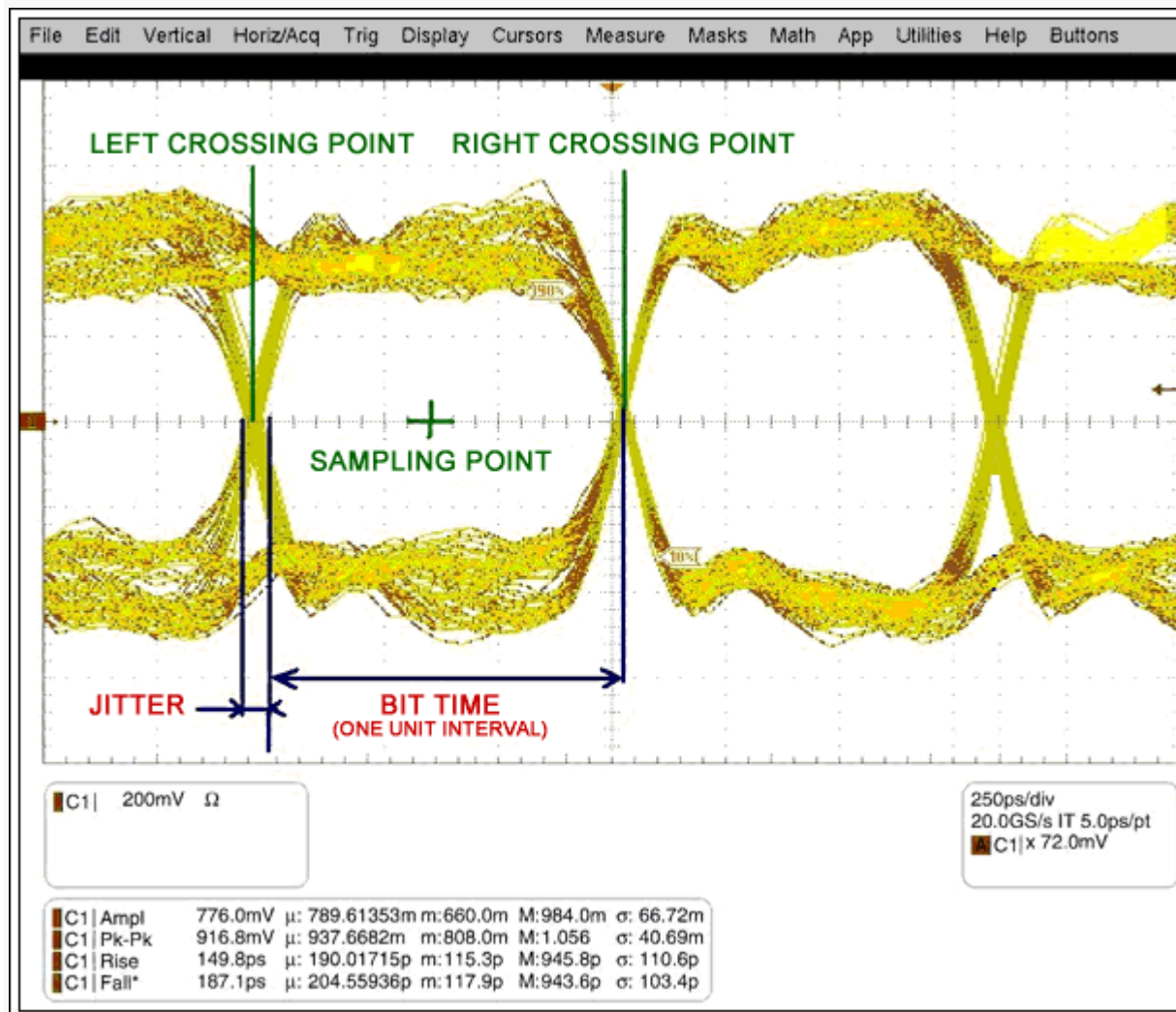
反射とISIはどちらもノイズのデータ依存源であるため、使用されるデータパターンが重要となります。このアーティクルで大半のプロットの採取に使用されたテストパターンは、K28.5シーケンス(コンマ文字としても知られる。K28.5 = 00111110101100000101)と擬似ランダムビットシーケンス(PRBS-23)を繰り返す混合周波数を含みました。PRBSパターンは、実際のデータトラフィックで観察され得る種々のビットシーケンスの良好な拡散を提供します。その他のジッタ評価用コンプライアンステストパターンも使用することができます。いくつかを挙げれば、ジッタテストパターン(JTPAT)、コンプライアンスランダムパターン(CRPAT)、およびコンプライアンスJTPAT (CJTPAT)などがあります。

正確な測定値を取得することができるかどうかのカギは、各自のアプリケーション用に適正な測定装置(オシロスコープとプローブなど)を選択することにあります。このフレームワークの手順1(および残りの各手順)では、信号の測定は、ケーブル、コネクタ、およびFR4 PCBも含めた50Ω伝送ラインによって構成されるチャンネルを通じて伝搬された後に行われます。高帯域幅と低容量性負荷を持つ差動高性能プローブを、できる限りレシーバICに近接してPCBトレースにはんだ付けしてください。

## 手順1. ランダムおよび確定的ジッタ(RJおよびDJ)の定量化

最初に、シグナリングレベルを観察します。次に、リンク測定値を収集し、それらを規格と比較します(表2は、測定値 対 XAUI規格の例を提供しています。XAUI規格はPHYの入力特性評価の測定値)。SIエンジニアは、システムの試験に使用する規格に対して同様のマトリックスを作成することができます。

アイダイアグラムは、ハイスピードシグナルインテグリティを評価するための最も重要な測定ツールの1つです。アイダイアグラムは、タイミングリファレンスとしてリアルクロックまたは再現されたクロックを使用して、複数のユニットインタバル(UI)からの波形をオーバーレイします。アイダイアグラムは、波形の振幅動作およびタイミング動作を視覚化するのに便利であるため、ジッタの最も役立つ提示の1つを表します。図7は、XAUIチャンネルから採取されたアイダイアグラム測定を示しています。



[画像の拡大\(PDF, 1.4MB\)](#)

図 7. このアイダイアグラム(XAUI測定)は、PHYデバイスの入力で表示されます。

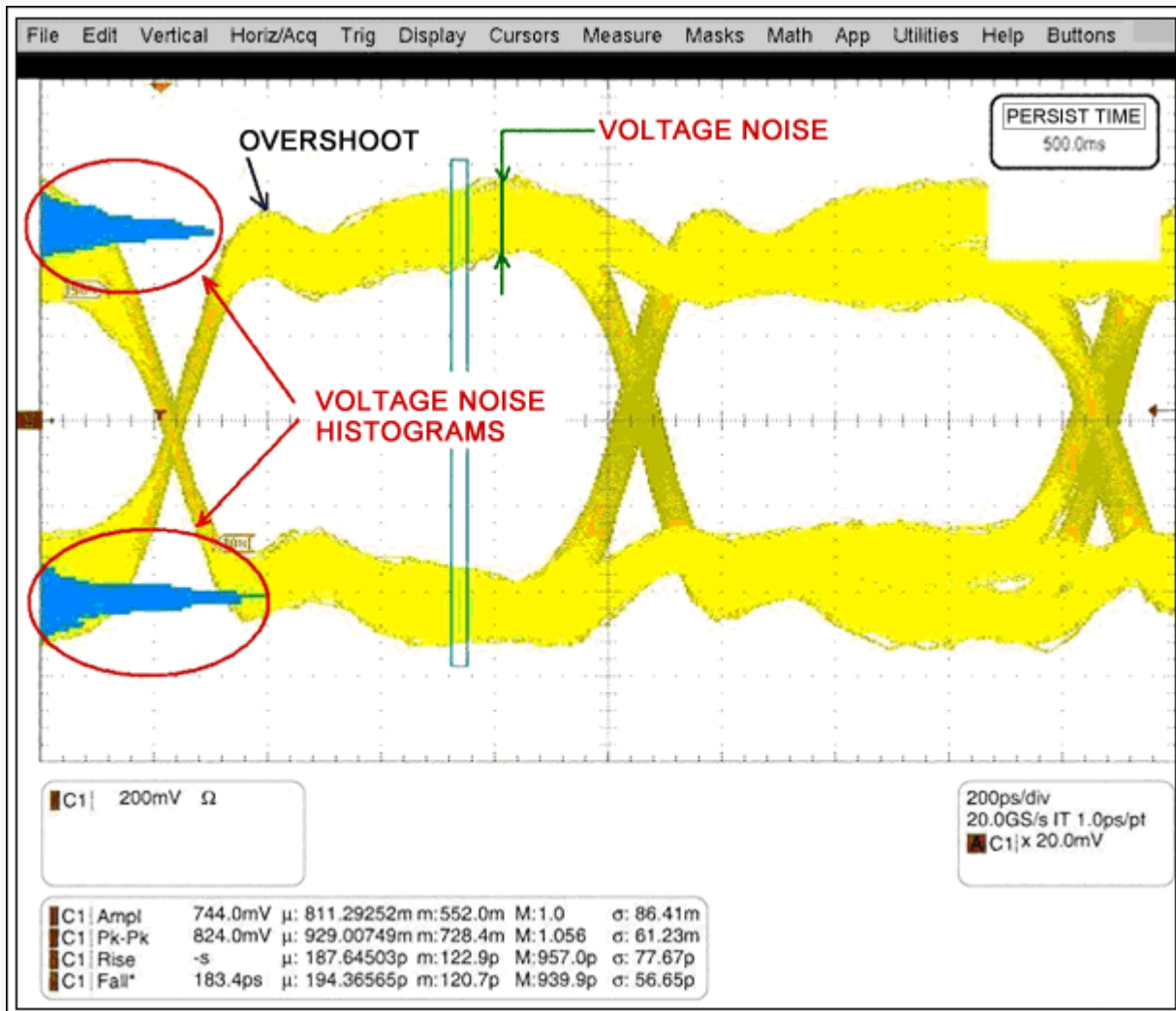
スコープ上にロードされたタイミング解析ソフトウェア(Tektronix®からのTDSJIT3など)を使用してください。スコープを「黄金のPLL」用に設定した場合、SIエンジニアは、表2に示したパラメータを設定し、チャンネルトラフィックのアイダイアグラムを捕捉することができます。次に、表2に示したマトリックスを、使用する特定の規格用に完成させることができます(黄金のPLLは、スコープトリガ上のジッタをフィルタ除去するための方法で、これによって、測定されたジッタ振幅とヒストグラムで表現された任意のジッタが実際にリンク上に存在することを確かにします<sup>3)</sup>。

表2. PHY入力特性評価(例)入力に対する測定値

Input Characteristics	Specification	Measurements
Differential rise and fall times ( $T_{RF}$ ) ?		
DJ tolerance	0.37UI	
TJ tolerance	0.65UI	
Differential amplitude ( $V_{P-P}$ )	2.2V <sub>P-P</sub> (max)	

## 手順2. 振幅ノイズまたは電圧誤差ヒストグラムの測定

この手順は、設計内で誤差を引き起こす可能性のある振幅ノイズを測定します。振幅の確率密度関数(PDF)が1と0の両レベルの正規分布を持っているかどうかを調べていきます(図8はXAUIリンクのPDFを示しています)。ヒストグラム(赤色の丸い囲み)内で青色で示したランダム振幅ノイズは、正規分布とみなすことができます。SIエンジニアは、オーバーシュートやアンダーシュートなど、他のシグナリング問題が存在するかどうかを決定する際に、このプロットを補助的なグラフとして使用することもできます。振幅ノイズが問題である場合(振幅ヒストグラムが二峰性の場合など)、基板上に電力分配問題が存在する可能性があります。

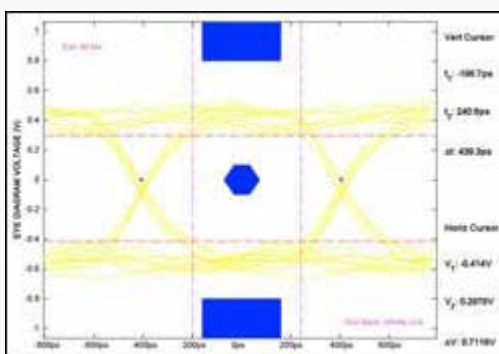


[画像の拡大\(PDF、1.7MB\)](#)

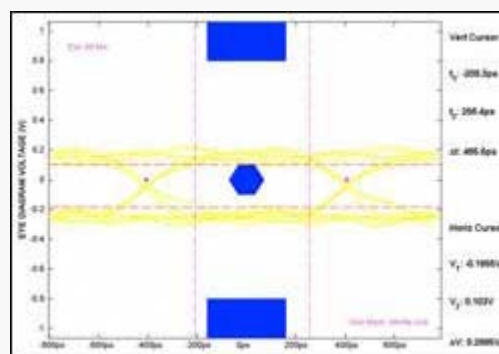
図8. 電圧ノイズは、ここで示すようなアイダイアグラムから派生する可能性があります。

## 手順3. アイダイアグラム 対「遠端」マスクの比較

手順3では、長いデータシーケンス上で受信した信号のジッタ品質を推定することができます。多くのジッタアプリケーションパッケージには、標準的なマスクが含まれており、その最小クロージャディメンションによって測定対象のチャンネルの品質を評価することができます。アイダイアグラムを受信マスクと比較することによって、特定の構成におけるアイクロージャの量を表示することができます。アイは、マスクが取り除かれている必要があります(図9aおよび9b)。



(a). [画像の拡大](#) (PDF、1.19MB)



(b). [画像の拡大](#) (PDF、1.31MB)

図9. XAUIの遠端マスクを測定されたアイダイアグラムに適用することによって、バッドケース(a)およびグッドケース(b)を識別することができます。

この段階では、試験者は、アイプロットの立下リエッジとは別に、立上リエッジも解析します。図10の例では、立上りと立下リエッジがアイのクロッシングポイントで中心が合っていないことを明確に観察することができます(図の中央上の丸で囲った二峰性ヒストグラム)。この二峰性ヒストグラムは、チャンネル上のサイクルごとのジッタまたはPJの存在を示しています。このヒストグラムは、DCDまたはISIジッタも表すこともできます。



[画像の拡大\(PDF、1.9MB\)](#)

図10. このデータアイは、クロッシングエッジにおける二峰性ヒストグラムを示しています。

設計者は、多くの場合、各自の試験をTJの測定に制限するため、TJ (DJとRJの混合)を表すヒストグラムのみが表示されます。しかし、ジッタの根本原因を理解し、その寄与成分を除去するには、各成分を分離および識別することが不可欠です。アイダイアグラムは、信号の振幅とタイミング動作のみを洞察する一般ツールであるため、ジッタ成分を分離するための他の手段が必要となります。

次の手順では、ジッタヒストグラムとバスタブプロットを解析することによって、TJをその成分に分離します。

#### 手順4. ジッタのタイプおよび成分の分離

ジッタをシステムから取り除くには、RJとDJ成分を分離することが必要があります。手順4で説明される技法では、これらのタイプのジッタを識別することができ、システムリンクのデバッグ、設計検証や、特性評価にも役立ちます。

ここで、前の項で収集したヒストグラムのいくつかを解析します。

#### ヒストグラムプロット

TJヒストグラムは、ジッタの解析の最初の調査に良い一歩です。「ジッタの2つの基本成分：DJおよびRJ」と図4で上述したように、RJは、モデリングの目的で、ガウス(正規)分布を持つと仮定されます。これは、その確率密度関数が周知のベル曲線で記述されることを意味します。図11aおよび11bに、PRBS-23データと関連付けられたTIEヒストグラムが示されています。TJヒストグラムは多峰性の可能性もあることに注意してください。

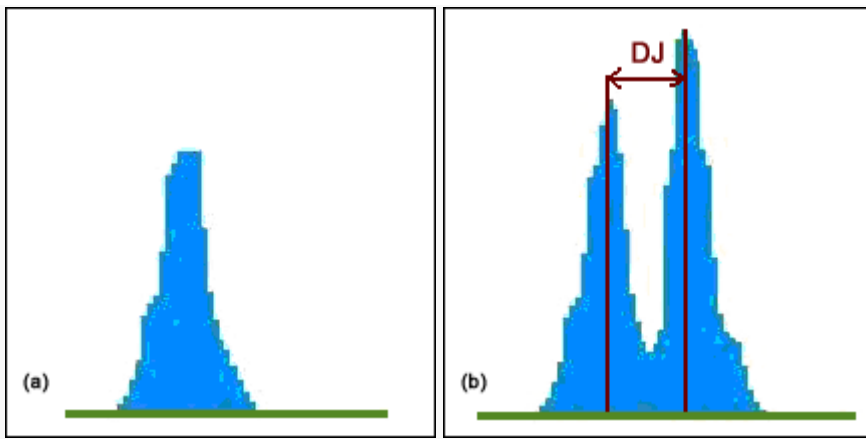


図11. 標準的なジッタヒストグラムはほとんどガウス(a)と二峰性(b)である可能性があります。

図11aのヒストグラムは、必ずしも理想的ではありませんが、図11bのヒストグラムは質の悪い設計に伴う諸問題を明確に指し示しています。図10に示すように、二峰性ヒストグラムは、中心が合っていない立上りと立下りエッジを含んでいます(一部のシステム上の問題がヒストグラムを「混乱」させて、非ガウスなものにしています)。二峰性ヒストグラムは通常、有意な量のDJを示します。

DJとRJの両成分が存在する場合、ジッタヒストグラムは一般に広がり、もはやガウス分布のようにはなりません。その場合、左と右のピーク値の差は、DJを表わし、あるべき位置より少し高いクロッシングポイントから生じたものです。この状態は、特定の周期を持つクロストーク信号に起因するDCDジッタに関連付けることができます。したがって、設計者は、ヒストグラムをアイダイアグラムの補完的洞察として解析することが重要となります。

#### バスタブプロット

ヒストグラムと同様に、バスタブプロットは、ジッタを調査してそのタイミングを解析するための強力な方法を提供します。BERをビット間隔内のサンプリング位置の関数としてプロットすることによって、バスタブプロットはアイオープニング 対 BER (図12)を表わします(予期された最大誤差率 $10^{-12}$ は、多くのシリアル規格では事実上の要件となっています)。図12で観察されるように、DJは、バスタブ曲線のほぼ平坦な水平部分(金色の領域)を形成するのに対し、傾斜部分(青色の領域)はRJに起因します。また、次式が適用されることも見てとることができます。

$$\text{ジッタのアイオープニング} + TJ = 1UI$$

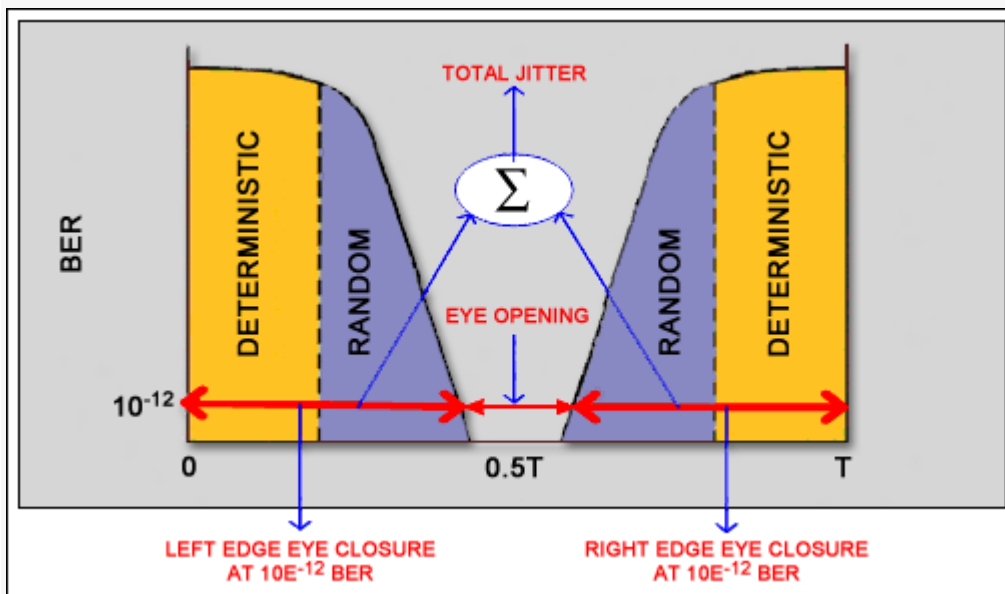


図12. このバスタブプロットはBER 対 決定時間を示しています。

ジッタヒストグラムまたはバスタブ曲線、あるいは両方の測定は、SIエンジニアにシステム内のジッタを知らせる主要な手順です。しかし、いずれの測定によっても、ジッタ成分の個々の発生源が明らかになりません。次の手順では、DJをその成分に分離することによって、DJの根本原因の識別を試みます。

#### 手順5. ジッタの根本原因の診断

ここで、周波数領域のジッタを解析します。これは、各DJ成分(つまり、PJ、ISI、DCDなど)を、各発生源を決定するため簡単に視覚化することができる別個のシングル周波数スペリアス(ラインスペクトル)として示します。これらの周波数領域ビューは、位相ノイズプロット、ジッタスペクトルプロット、またはジッタトレンドの高速フーリエ変換(FFT)を含むことができます。



## データTIEプロットのジッタスペクトル

いくつかの技法を単一波形上のジッタの測定に使用することができます。1つの技法では、TIEのスペクトルを検査します。TIEは、デジタルデータ遷移のその理想(ジッタフリー)位置からのタイミング偏差です(前の「総ジッタ」の項を参照)。要約すれば、TIEは、クロックの各アクティブエッジのその理想位置からの変動量を測定します。TIEは、少量のジッタさえも、時間の経過とともに累積的な影響を示すため重要となります。

ここで、特性評価されるシリアルリンクに戻ります。図13は、リンク上で採取されたTIEのジッタスペクトルのプロットを示しています。この図では、スプリアスは、時間的な特定ポイントのチャンネルのスナップショットを提示しています。スプリアスは、F1、F2、F3、およびF4と番号が付けられています。第1スプリアスは、 $F1 = 61.44\text{MHz}$  (再生クロックの基本周波数)にあります。スプリアスF2とF4は、F1の整数倍数(高調波)です。153.18MHzのスプリアスF3は、この周波数を持つ基板上のクロック源が存在しないため調和していないように見えます。F3は、カード上の2つ以上の周波数の中間変調を表します。これは、ハイスピード信号がパワー/グランドプレーンの分割上を通過するときにも発生する可能性があります。ハイスピード信号が分割されたリファレンスプレーン上を通過するとき、電流のリターンパスの不連続が電磁放射を引き起こす可能性があります。

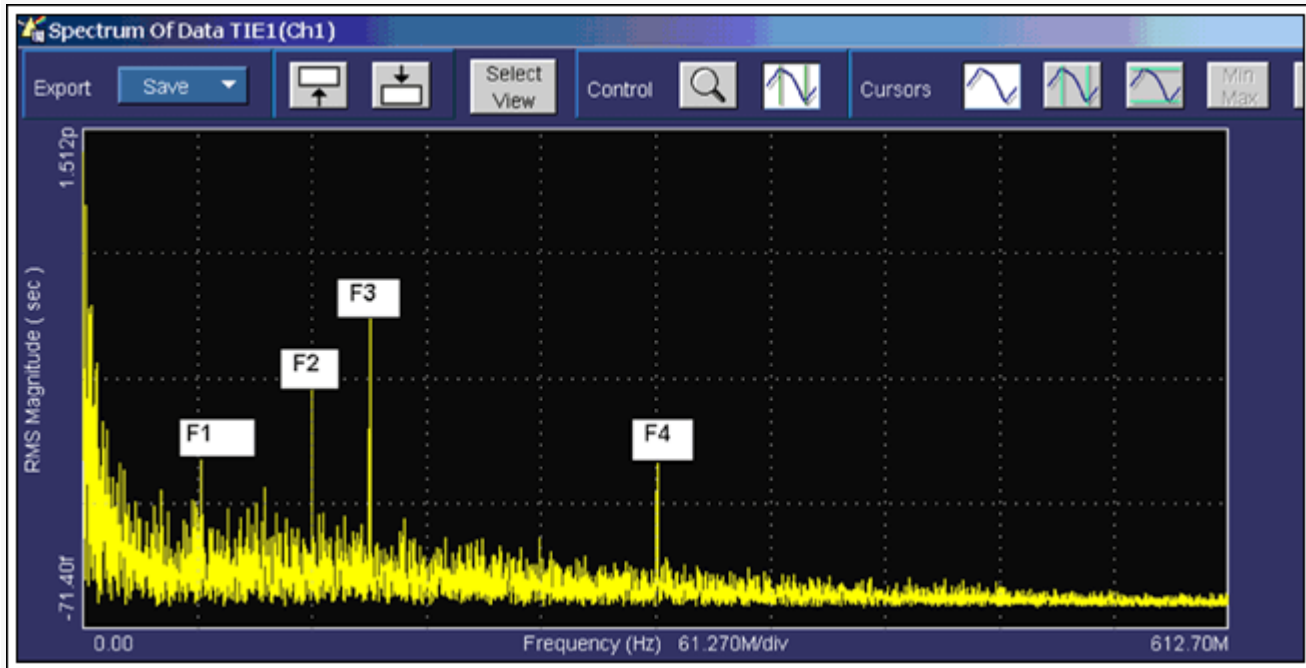


図13. このデータのTIEのスペクトラムは、PJの4つの有意スプリアスを示しています。

## スペクトル解析

ジッタの発生源を明らかにするには、SIエンジニアは、ジッタスペクトルプロットのスペクトル解析を行って、各ジッタ源の変調周波数の概念を決定する必要があります。周波数領域プロットは、固有の周波数スプリアスを示します。次のような方法を使用して、特定のDJ成分を分離することができます。

## PJの分離

時には、シリアルデータチャンネルは、形のきれいなヒストグラム(ガウス分布)を示しますが、それでも同じリンク上のTIEのスペクトルは多少のスペクトルを示します。これは、RJに少量のPJが隠れていて、TJのヒストグラム上には現れない可能性があることを意味します。そのため、ジッタの数値がスペック外に出ていなくても、スペクトル解析を実行することはジッタのすべての発生源を除去するために無駄ではありません。

図13のスペクトルプロット解析では、F3は望ましくない変調の結果として見なされました。通常、PJを引き起こすのは、このタイプの望ましくない変調(EMIまたはクロストークなどに起因)です。PJの特徴は、PJが固定周波数で繰り返すことです。そのような望ましくない変調は、データまたはシステムクロックに結合する電源モジュールからのスイッチングノイズなどのクロスカップリングによっても引き起こされる可能性があります。

## デューティサイクル歪み(DCD)の分離

DCDは、デジタル遷移の立上りと立下り時間の違い、および上述のデバイスのスレッシュホールドを切り替える際の変動を指し示します。DCDは、差動入力間の電圧オフセット、およびシステムの立上りと立下り時間の違いの両方によって発生します。たとえば、図9の立上りと立下りエッジは、中心が合っていません。SIエンジニアは、D21.5 (1010101010...)のような高周波数パターンでシステムを刺激することによって、DCDの分離を試みることができます。このパターンは、ISIを除去しながら、DCDを表示する際に効果的です。

## ISIの分離

DDJの一般的な発生源は、シリアルデータの伝送に使用される信号経路の周波数応答です。ISIは、DDJの1タイプです。ISIは、ケーブルとコネクタを含めたチャンネルラインアップで引き起こされます。つまり、ISIは、FR4 PCB材料内の損失によって影響されます。ISIは通常、トランスミッタまたは信号経路における帯域幅制限の結果であるため、信号の立上りと立下り時間の制限によって、データビットのさまざまな振幅が発生する可能性があります<sup>3</sup>。DDJのもう1つの主要発生源は、バスの不適切な終端に起因するチャンネルラインアップのインピーダンスミスマッチです。終端インピーダンスがミスマッチの伝送ラインによって引き起こされる反射によって、伝送信号の遅延および/または減衰が発生する可能性があります。

## 手順6. TxプリエンファシスとRxイコライゼーションの最適化

規定の事実ですが、PCB上の損失の多いFR4トレースによって引き起こされる減衰量は、シグナリング速度と伝送媒体の長さによって決まります。要約すれば、スイッチング周波数が高いほど、FR4の損失は大きくなります。プリエンファシスとイコライゼーションは、信号の減衰と劣化の影響を軽減することができるため、元の信号を再生することができます。このリンク最適化手順は、トランスミッタプリエンファシスとレシーバイコライゼーションをサポートするPHYデバイスを含む設計に適用されるだけでなく、FR4材料によって引き起こされる伝送損失の補償に使用することができるプリエンファシスとイコライゼーション用のディスクリットICにも適用することができます。手順6は、SerDes/PHYデバイスのプリエンファシスとイコライゼーションを調整するための対策がある設計に適用されます。したがって、問題のシステムがそのような対策があるものと仮定します。

### 最適なプリエンファシス

プリエンファシスは、ケーブルの遠端(レシーバ側)のアイパターンを広げる信号改良技法です。一般に、プリエンファシスは、一部の周波数の振幅を他の(通常はより低い)周波数の振幅を基準として大きくすることによって、伝送信号の品質を向上させます。カギは、その設計に最適なプリエンファシス設定を見つけることです。

多種多様なレベルのプリエンファシスをサポートするSerDesとPHYデバイスの場合、SIエンジニアは、各レベルを試して、最適なアイを持つレベル、または $10^{-12}$ 以上の良好な値のBERを達成するレベルを選択することができます。また、レシーバ側のアイオープニングとISIジッタを基準にし、マニュアルでトランスミッタを調整することによって性能の最適化に使用することができるMAX3982のようなプリエンファシスドライバICも使用可能です。

ディスクリットプリエンファシスICの使用には、SerDes/PHYデバイスに内蔵されたプリエンファシスに比べて多少の利点があります。つまり、試験者は、スコープでレシーバ側のアイダイアグラムを捕捉し、信号品質における改善部分をすばやく表示させることができます。簡単に言えば、アイが広いほど、品質が良くなります。したがって、SIエンジニアは、最小のプリエンファシスを使用する最良のアイオープニングを見つける必要があります。ルールは、あまりプリエンファシスしすぎないことです。最適な設定は、チャンネルの総ジッタ性能に何らかの改善を提供するはずですが。

### 最適なイコライゼーション

プリエンファシスの追加に加え、レシーバ側のイコライゼーション設定を最適化することによっても、ISIの影響を最小化することができます。イコライザは、PCBおよびケーブル上を進む間に波形上に取り込まれた高周波数減衰の影響を除去および/または克服します。レシーバのイコライザは、PCB材料における誘電体および表皮損失や、ケーブルにおける高周波数損失に対しても、受信信号を補償します。

実践的かつ経験的意味では、イコライゼーション機能がSerDesまたはPHYデバイスに内蔵されている場合は、受け取ったイコライゼーションの影響は、評価が困難です。MAX3784などの外付けのレシーバイコライザは、(SerDesのBERテストと対照的に)、スコープ上のレシーバイコライゼーションの結果を迅速に観察する方法を提供することができます。図14は、5Gbpsのシグナリングレートにおけるイコライゼーションの前後のMAX3784イコライザの入力のアイダイアグラムを示しています。これらの測定は、FR4 PCB材料上で40in、6 milトレース(ストリップライン)上に行われました。

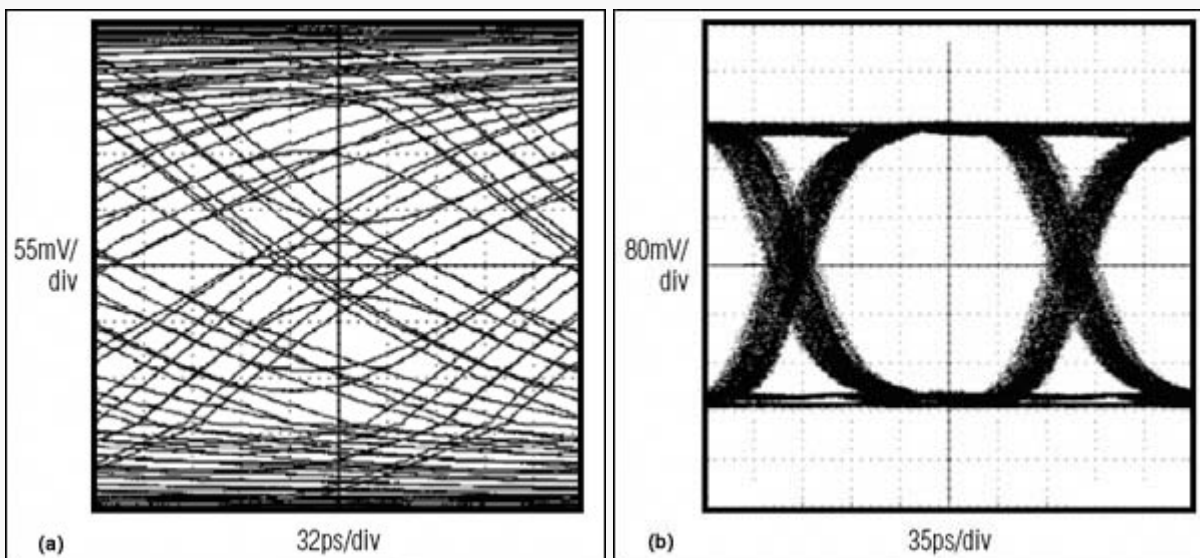


図14. イコライゼーション前(a)のイコライザ入力アイダイアグラムがイコライゼーション後(b)に改善を示しています。

### リンク性能

トランスミッタ側のプリエンファシスはデータ内の隣接シンボルによって引き起こされる干渉を軽減するのに役立ちますが、レシーバ側のイコライゼーションも類似の結果を達成するのに役立つことができます(図14を参照)。プリエンファシスとイコライゼーションはともに、シリアル伝送媒体における伝送損失を削減または克服するための最新の主要技法です。

重要な問題が1つ残っています。すなわち、どれくらいのプリエンファシスおよびイコライゼーションが十分でしょうか？ 答えは、アプリケーションやチャンネルラインアップによって異なります。システムに過度のプリエンファシスやイコライゼーションをむやみに設定すると、システムに悪影響が出る恐れがあります。SIエンジニアは、信号品質測定を実施し、特定のアプリケーションに対する適正な量のプリエンファシスとイコライゼーションを決定する必要があります。マキシムでは、回路基板やケーブルアプリケーション用のプリエンファシスおよびイコライザICの大きなポートフォリオを用意しています。各製品は、1Gbps (MAX3803)~12.5Gbps (MAX3804)の範囲をカバーしています。詳しくは、図15、および[japan.maxim-ic.com/equalizerSolutions](http://japan.maxim-ic.com/equalizerSolutions)をご覧ください。

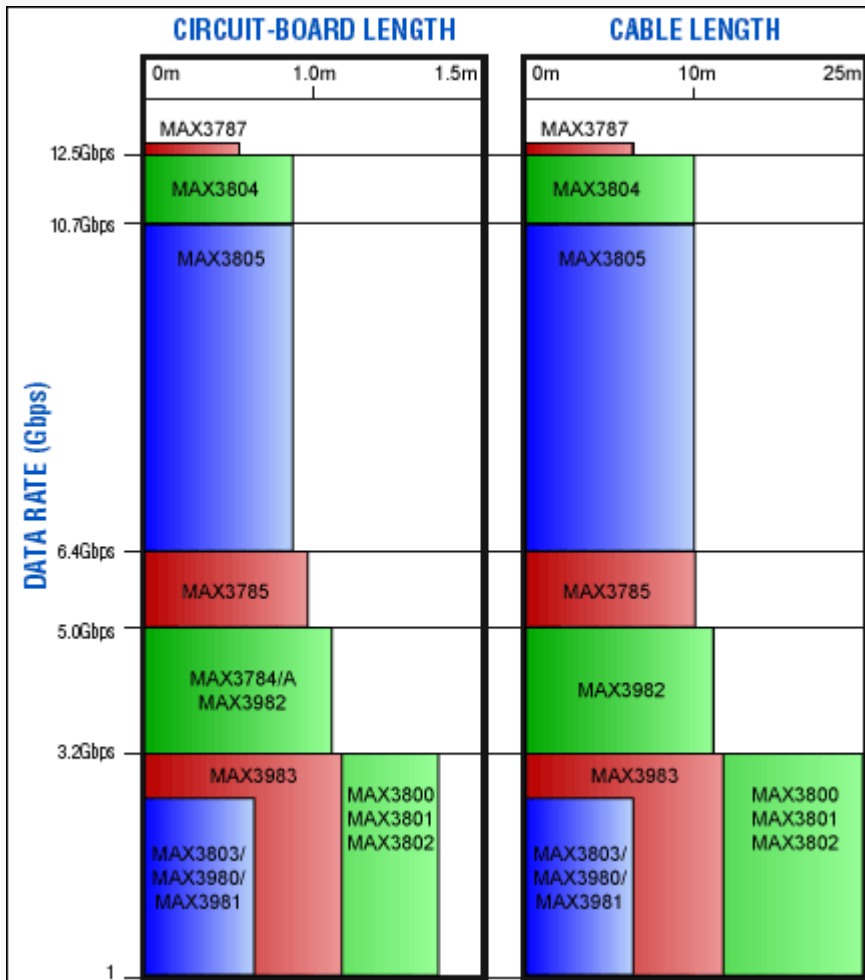


図15. プリエンファシス/イコライザICを選択するためのガイドが、回路基板とケーブルのデータレートと信号経路長の関数として示されています。

### 結論

今日、ハイスピードデジタルシステムを設計する場合、適合するジッタスペックやジッタ量が得られる可能性があります。ジッタとその原因を理解すれば、高性能システムを開発することができます。シリアル規格に準拠するためには、TJをRJとDJに正確に分離し、さらにDJをそのサブ成分(PJ、DCD、ISI)に正確に分離する必要があります。また、設計を改善するための診断情報を提供するには、複合状態のジッタを理解することも重要となります。

設計者は、各自の設計が競争的利点の理由で有効であることを確認する必要がありますが、各自の設計が有効でなくなるポイントも知る必要があります。ジッタとその発生源を識別することによって、このアトキクルで提案したリンク特性評価フレームワーク(図16参照)は、システム性能の改善に役立てることができます。

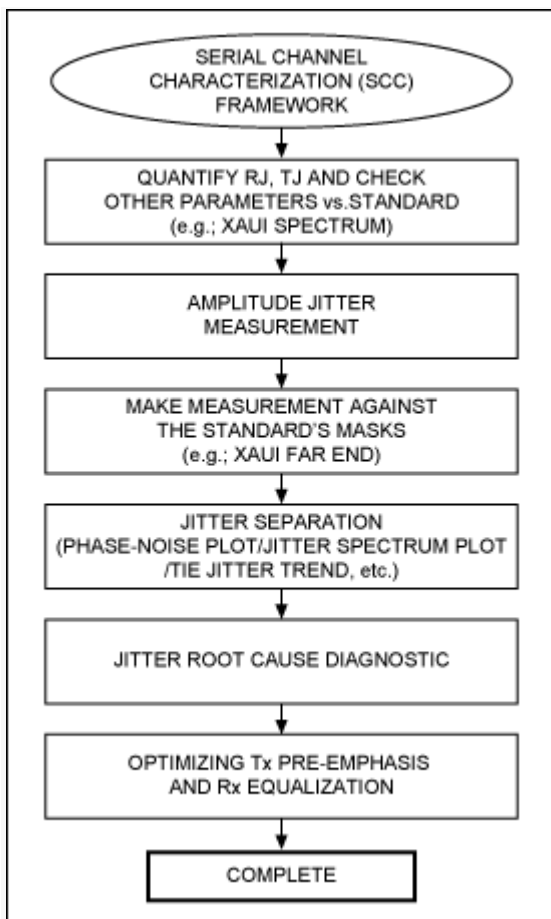


図 16. クロックおよびデータジッタの測定、識別、および除去するためのフレームワークの提案は、6つの手順で構成されます。

#### 参考資料

<sup>1</sup>ジッタの基礎。「Enhance Speed, Throughput and Accuracy with One Powerful Instrument」、Wavecrest (テクノロジー会社、ミネソタ州エデンプレーリー)。 [www.wavecrest.com](http://www.wavecrest.com)から入手可能

<sup>2</sup>SIエンジニアは使用する成分の慎重な選択によってRJを制御することができます。その方法は、PLL設計に対するRJの影響を制御するために使用されています。

<sup>3</sup>「A Guide to Understanding and Characterizing Timing Jitter」、革新的なプライマーを実現するTektronix。 [www.tektronix.com/jitter](http://www.tektronix.com/jitter)から入手可能

TektronixはTektronix, Inc.の登録商標です。

#### 関連製品

[MAX3784](#) 5Gbps PCBイコライザ

-- [無料サンプル](#)

[MAX3803](#) UCSP、DC結合、3.125Gbpsイコライザ

[MAX3804](#) 12.5Gbps、設定可能受信イコライザ

[MAX3892](#) クロック合成付き、+3.3V、2.5Gbps/2.7Gbps、SDH/SONET 4:1シリアライザ -- [無料サンプル](#)

#### 自動アップデート

お客様が関心のある分野でアプリケーションノートが新規に掲載された際に自動通知Eメールの受信を希望する場合は、[EE-Mail™](#)にご登録ください。

アプリケーションノート4613: [japan.maxim-ic.com/an4613](http://japan.maxim-ic.com/an4613)

#### その他の情報

テクニカルサポート: [japan.maxim-ic.com/support](http://japan.maxim-ic.com/support)

サンプル請求: [japan.maxim-ic.com/samples](http://japan.maxim-ic.com/samples)

その他の質問およびコメント: [japan.maxim-ic.com/contact](http://japan.maxim-ic.com/contact)

