
GPON の FEC レシーバの設計課題

類似した記事が *Lightwave Magazine* 誌の 2006 年 5 月号に掲載されています。

GPON の FEC レシーバの設計課題

1 はじめに

「ONT には APD を使用すべきか、FEC を使用すべきか。それが問題だ!」これはユーザにとって問題にはなりません、多くの GPON システムベンダにとっては難問です。北米をはじめとする世界中の地域でトリプルプレイサービス(ビデオ、音声、データ)を家庭に供給するために、ギガビット受動光ネットワーク(GPON)が非常に注目されています。現在、活発に議論されていることは、アバランシェフォトダイオード(APD)レシーバまたは前方誤り訂正(FEC)を備えた標準レシーバが、ユーザの所在地においてリンクバジェットやコストターゲットを満足する最適なソリューション(ONT: 光加入者線終端装置)であるのかどうかということです。GPON は大量に配備されると予想されることから、これは本当に難問になります。材料コスト、テストの実施コスト、または市場投入の遅れが原因となって、数百万ドルの収益または損失が、使用する実装によって生じる可能性があるからです。

APD を実装したレシーバは感度の要件に容易に適合することができますが、コストが高くなります。アバランシェフォトダイオードは高価で、高電圧のバイアスが必要であり、また温度補償も必要です。一方、FEC は符号化と復号化を実現するためにある程度のコストと複雑さを伴いますが、通常、APD ソリューションに比べて大幅に安価であると考えられています。しかし、GPON に適合する FEC レシーバを設計するときには、いくつかの設計課題、および結果として伴う複雑さとコストが見落とされがちです。

この記事では、FEC の機能を簡単に述べた後、FEC を使用したレシーバの感度に対するジッタの影響について説明します。また、実際のテストデータも提示します。これは、2 種類のレシーバ回路を使用したときに予想される性能を表しています。これによって、FEC を使用した GPON システムの ONT レシーバ部品(図 1)を選択するときに考慮すべき重要な問題を明らかにしています。

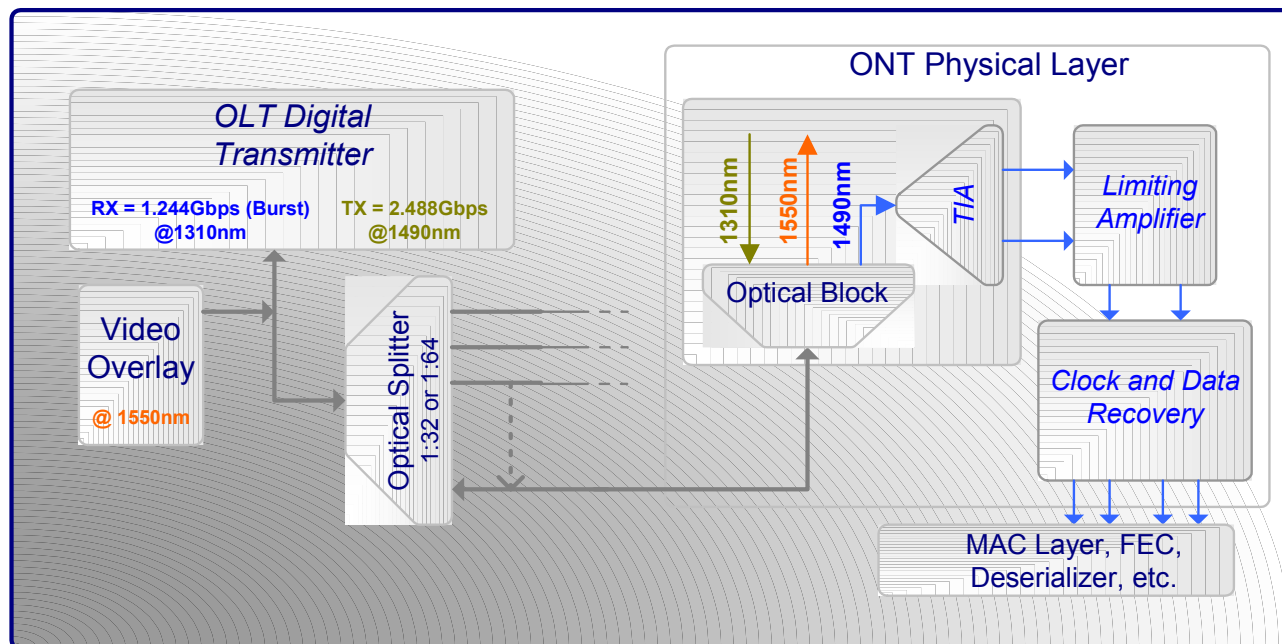


図1. GPON の ONT レシーバ部品

I. 前方誤り訂正

前方誤り訂正(FEC)は、送信するビットを符号化することによってデジタル通信リンクのビットエラー率(BER)の性能を向上するための手法であり、ビットを受信した後にビットエラーを検出して訂正することができるようにしています。これには通常、レシーバが認識している、あらかじめ定義した符号化アルゴリズムを使用して特別な「冗長ビット」をデータストリームに追加することが必要となります。データと冗長ビットを(リンクの「前方」端末で)受信した後、アルゴリズムを逆に利用することで元のデータを回復することができます。

単純化した例で説明すると、あらゆるデータビットに対して 3 ビットの「コードワード」を送信することを考えます。たとえば、データ内の各「0」に対して 010 を送信し、各「1」に対して 101 を送信することができます。受信したコードワードが 010 または 101 以外であれば、エラーが存在することがわかります。また、単一ビットのエラーの方が複数ビットのエラーよりもはるかに起きやすいと想定すれば、エラーを容易に訂正することができます。たとえば、000、110、または 011 を受信した場合、正しいコードワードは 010 である可能性がより高くなります。この方式の短所は 3 倍のビットを送信しなければならないことですが、そのかわりに、リンクの前方端末ですべての単一ビットエラーを訂正することが可能です。

さまざまな FEC コードが存在しており、開発中のものもあります。またコードの改良によって効率が向上する(冗長ビットによるオーバーヘッドを低減)と同時に、より多くのエラーを訂正することができる機能(符号化利得と呼ばれる)を実現しようとしています。符号化利得で FEC コードと同じ BER の向上を実現するには、送信電力(またはレシーバの感度)を増大することが必要になります。多くの符号化方式における複雑な細部については、この記事の範囲外ですが、この記事において主要なポイントである一般的な FEC 符号化の問題について説明します。

この主要な問題とは、FEC コードは、データ内にランダムに分散している孤立したエラーよりもエラーバーストの影響を受けやすいということです。前述の単純化した例を引用します。2 つのコードワード 010 および 101 を送信し、そのプロセス中に 2 つのビットを誤って受信した場合を考えます。2 つのエラーが分散しており、エラーが別々のコードワードで起きている場合には、受信したデータのエラーを容易に訂正することができます。ただし、両方のエラーが同じコードワードで起きている場合には、エラーを正しく訂正することができなくなります。つまり、前述したように、主要な問題は、分散エラーとは対照的にエラーバーストが FEC コードの有効性を著しく低下させる可能性があるということです。

一般的な論拠として、エラーバーストの確率は非常に小さいため、その影響をほとんど無視することができるということがあります。この論拠は、各ビットのエラーの確率(たとえば、 10^{-9})が等しいという仮定、またこのことから 2 つの隣接するビットがエラーになる確率は単一エラーの確率の 2 乗であり(たとえば、 $10^{-9} \times 10^{-9} = 10^{-18}$)、複数の隣接するビットにエラーが発生する可能性は極めて低いという仮定に基づいています。これによっていくつかの興味深い疑問が生じます。すなわち、(1)エラーのバーストの可能性が極めて低いという根本的な想定はどれだけ有効なのか。(2)エラーのバーストが実際に起きる可能性が高くなるような条件が本当に存在する可能性はあるのか。これらの疑問に対する答えは、FEC 符号化利得を利用するシステムの設計に大きく影響します。

II. 振幅ノイズとタイミングノイズ(ジッタ)

ビットエラーの最も一般的な原因の 2 つは、(1)信号の振幅内で生じる付加白色ガウスノイズ(AWGN)と、(2)データと回復クロック信号間のタイミングの変動(ジッタと呼ばれる)です[1]。AWGN に起因する振幅ノイズは本来ランダムであり、多くのデジタル通信の文献に記載されているように[2]、これによって生じるビットエラーは、信号対ノイズ比に比例した確率に相当するランダムな時刻で発生します。また一方、ジッタはランダムまたは確定的な原因によって生じる可能性があります。ジッタの影響に起因する FEC 符号化利得を低減することがこの記事の主要なテーマです。

ジッタは通常、2つのサブカテゴリに分類されます。ランダムジッタ(RJ)と確定的ジッタ(DJ)です。ランダムジッタの最も一般的な原因は、振幅ノイズがタイミングノイズに変化することです。これは、リミティングアンプの入力端にて、信号が「0」と「1」の間のスレッショルドを交差するときに生じるものです[3]。確定的ジッタの最も一般的な2つのタイプは、パターン依存ジッタ(符号間干渉または ISI と呼ばれる)とパルス幅歪み(PWD)です。ISI は、システムの帯域幅が信号の帯域幅に一致しないときに発生し、PWD は、リミティングアンプの感度に比べて TIA 出力が小さくなるときに生成されます。リミティングアンプの出力端でのジッタは通常、入力信号が最小規定レベル(感度)の近くまで減少するにつれて急速に増大することに留意する必要があります。

ここで、2つのレーザのシナリオを比較してみましょう。それぞれ、トランスインピーダンスアンプ(TIA)とその後にリミティングアンプ(LA)を使用しています。どちらのシナリオでも、TIA と LA の結合による全利得が同じであると想定します。最初のシナリオでは、TIA の利得が高くなり、LA の利得が低くなります。逆に、2番目のシナリオでは、TIA の利得が低くなり、LA の利得が高くなります。TIA への入力電力がレーザの感度レベル近くまで下がったときにどうなるのかを各シナリオで考えてみます。最初のシナリオでは、TIA が高利得であるために、その出力信号が LA の感度まで低下することはないが、したがって、レーザ全体の感度は、TIA の入力換算ノイズによってほとんど決まります。2番目のシナリオでは、TIA の出力信号が LA の感度近くまで低下するために、レーザ全体の感度は、LA の入力換算ノイズと、リミティングアンプの出力端に生成されるジッタの増大によって著しく影響を受けます。理解すべき重要な点は、リミティングアンプの出力端で振幅ノイズとジッタの複合物が大幅に異なっているにもかかわらず、両方のシナリオでレーザ全体の感度を同じにすることができるということです。

III. クロックおよびデータリカバリ(CDR)回路に対するジッタの影響

通常のデジタル通信レーザでは、リミティングアンプの後に「クロックおよびデータリカバリ(CDR)」回路が続きます。CDR は、位相ロックループ(PLL)を使用して、入力データ信号に同期したクロック信号を生成します。CDR の主な仕様はジッタの許容値です。ジッタの許容値は、「規定のスレッショルドを超えるようなビットエラーの増大を引き起こさない」範囲内で許される CDR の入力端のジッタ量として定義されます。CDR のアーキテクチャに応じて(通常、複雑さと価格に関係する)、ジッタ許容値を向上することができる可能性があります。また、CDR によっては、確定的ジッタよりもランダムジッタの方の許容範囲が広い場合があり、またその逆の場合もあります。

定義では、CDR の入力端のジッタが規定の許容ジッタに近づき始めると、ビットエラーの数が増加します。FEC 符号化の使用に関連する重要な問題は、CDR でのジッタによって生じるビットエラーがどのように分散されているのかということです。ビットエラーはランダムな間隔で発生する傾向があるのか、あるいはバーストで発生する傾向があるのか。厳密な答えは、CDR のアーキテクチャなどの多くの要因によって異なりますが、通常、CDR でのジッタに起因するビットエラーは、データと回復クロック間の同期での短時間の障害によって生じるものであり、これによって多くの場合エラーのバーストが生じます。前述のとおり、振幅ノイズとジッタの複合物は、TIA の利得と LA の利得の関係によって大幅に変わる可能性があり、これが CDR の性能に影響し、場合によってはビットエラーの分散にも影響します。実際の測定結果が示すとおり、これは FEC 符号化利得に大きく影響する可能性があります。

IV. テストデータ

マルチギガビットの FEC デジタルレーザにおけるジッタとバーストエラーの影響を説明するため、2つのレーザ回路のさまざまなパラメータを、CDR がある場合とない場合とで測定しました。1番目のレーザは、PIN ダイオード、低利得 TIA、およびリミティングアンプを実装した従来の 2.5Gbps レーザです。2番目のレーザは、高利得ですがノイズの多い TIA を使用しています。2つのレーザについて、「BER」対「感度レベル(BER = 10^{-10})」に対して正規化された入力電力を図 2 に示します。FEC の補正によって 10^{-5} ~ 10^{-4} の BER を補償できると仮定すると、FEC を備えた低利得(LG)レーザの符号化利得は約 1.9~2.8dB、高利得(HG)レーザの符号化利得は約 3.3~4.3dB になることとなります。

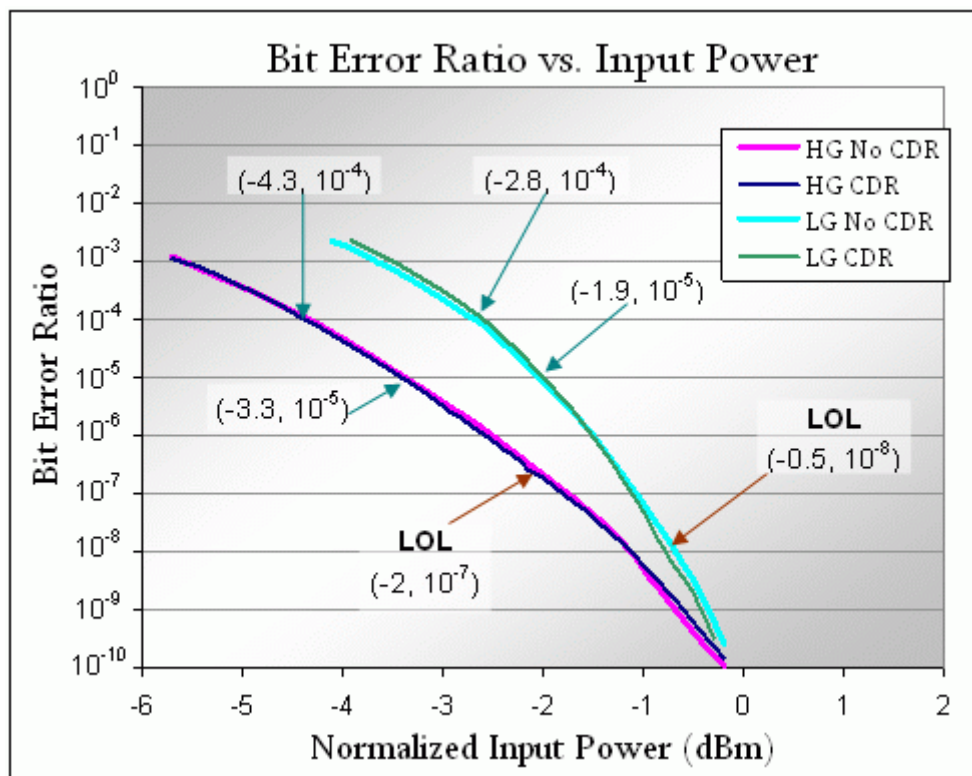


図2. ビットエラー率対入力電力

各レーザの出力に接続される従来の低コスト CDR (MAX3872)でのビットエラー率も図 2 に示します。これを唯一の基準として使用すると、ほぼ同じレベルの FEC 符号化利得(LG レーザと HG レーザのそれぞれについて 1.9~2.8dB および 3.3~4.3dB)が、CDR を接続した状態で得られるという結論になります。ただし、以下に示すとおり、この例で得られる実際の FEC 符号化利得は、レーザのジッタ特性のため、これよりもはるかに低くなります。

LG レーザでは、CDR のロックの喪失(LOL)出力は、通常の感度レベルより約 0.5dB 低い 10^{-8} の BER にてチャタリング(確定的入力ジッタとランダム入力ジッタに基づいたトグルが作用する)を開始します(図 2)。CDR を HG レーザと組み合わせると、LOL は約 2dB 低い感度にて初めてチャタリングを開始します。LOL がチャタリングを開始することは、必ずしもエラーやエラーバーストの存在を示すものではありませんが、CDR の入力端のジッタが最大許容ジッタまたはその近くにあること、またエラーの統計を綿密に調査する必要があることを警告しています。

同じ 2 つのレーザについて、ビットエラーアナライザでのバーストエラーの確率を調べると、図 2 に示す LOL の各点で、長いエラーバースト(> 20 ビット)が時折生じることがわかります。図 3 は、約 10^{-5} のエラー率における、CDR のある HG レーザ(青色の棒)と CDR のない HG レーザ(緑色の棒)のバーストエラーの確率を示すグラフです。CDR がない場合、バーストエラーの分散は、予想どおり、ランダム事象によって生じるエラーに対応しています。CDR を接続している場合、エラーバーストの連続ビットは 30 を超えており、符号化利得が著しく低下します。このようなバーストタイプのエラーの場合、CDR 出力端の FEC 符号化利得は、LG レーザで約 0.5dB、HG レーザで約 2dB となります。

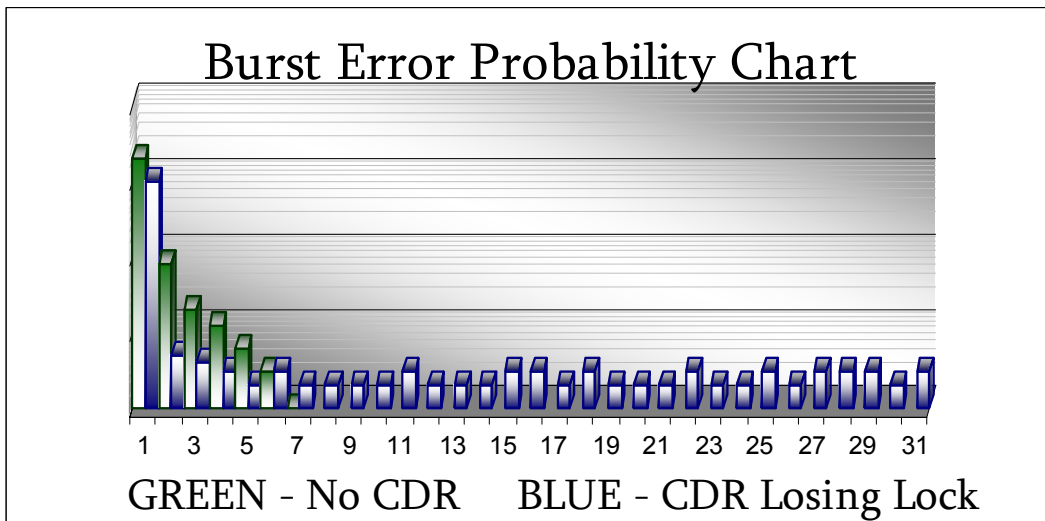


図3. バーストエラーの確率グラフ

リンクのジッタ特性(トランスミッタ→フォトダイオード→TIA→LA)を測定し、その結果を CDR の許容定格ジッタと比較することによって、LOL がチャタリング(および、おそらくバーストエラー)を起こしている場所をさらに詳しく調べることができます。図4に、LG レシーバと HG レシーバのリンクジッタが MAX3872 CDR のジッタ許容値を超えるおおよその点を強調して示しています。これらの点は、図2に示す LOL のチャタリング位置に対応しています。

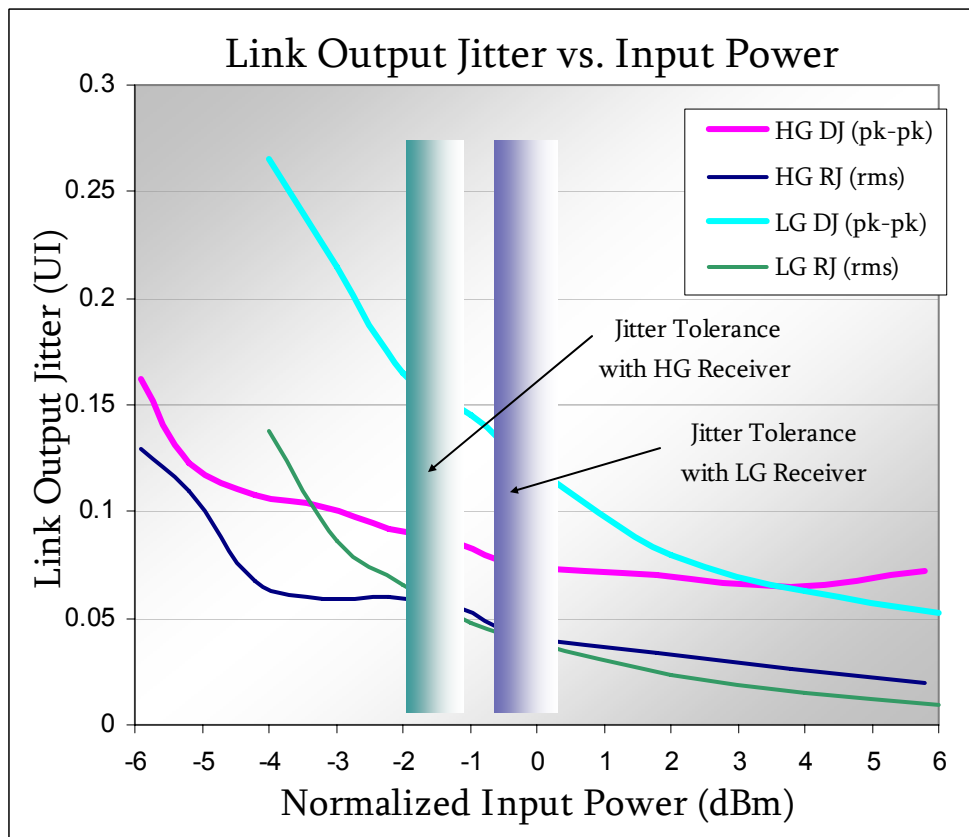


図4. リンク出力のジッタ対入力電力

図 4 でわかるように、正規化された感度よりも高い入力レベルでは、LG レシーバは HG レシーバよりもジッタが少なくなっていますが、入力レベルが感度点に近づいてこれを下回ると、ジッタが急速に増大することがわかります。これは主に、TIA からの出力信号に比べてリミティングアンプの感度が大きくなることによるものです。言い換えれば、LA の最小入力レベルを使用した場合、TIA の利得は非常に低くなるということです。

HG レシーバは、入力レベルが感度よりも高くなるとジッタが多くなりますが、レベルが感度よりも低くなると、出力のジッタは少なくなります。この場合、リミティングアンプの入力端の信号は LA の感度と比較して大きくなります。LG レシーバは、2.488Gbps で-25dBm というかなりの感度を備えています。ターゲット感度レベルが最小で-27~-28dBm の場合、たとえ理想的な CDR を使用しても可能な符号化利得が最大 2.8dB であることを考えると、LG レシーバは不適切ということになります。FEC 符号化利得が 2dB の場合、従来の低コスト CDR では、HG レシーバは、ほとんど余裕のない状態で動作することになります。

トランスミッタのジッタが可能なかぎり低減されるものと仮定すると、GPON システムに FEC を実装するときには、以下の部品の 1 つまたは両方を選択する必要があることが、上記の例でわかります。

高性能 TIA の選択- TIA を適正に選択することは、FEC の実装を成功に導く上で極めて重要です。MAX3747 (2~4mV の感度)などの従来のマルチギガビットのリミティングアンプを使用すると仮定した場合、TIA は低ノイズ($\leq 250\text{nA}$)、高利得($\geq 7\text{k}\Omega$)、および十分な帯域幅(約 2GHz)を備えていることが必要です。TIA/LA のペアは、-27dBm 以下の入力レベルで BER が 10^{-10} でなければならず、また 10^{-10} の BER 入力レベルよりも 2~3dB 低い入力レベルにおいて、LA の感度に比べて大きな信号を供給することができるだけの利得を備えていることが必要です。このペアの通常の感度が-27dBm~-28dBm であるとすると、FEC 符号化利得が約 3~4dB であれば、GPON 要件を満足しつつ温度と部品間のばらつきを吸収するだけの十分なマージンが得られることとなります。残念ながら、マルチギガビットレートでこの性能レベルを備えた TIA は、設計に必要な IC プロセスのために、ほとんどの場合、高価なものになってしまいます。

外付けのリファレンスクロックを備えた CDR の選択- ジッタの許容値が向上した CDR を使用することによっても FEC 符号化利得を改善することができます。MAX3872 のジッタ許容値は極めて良好ですが、外付けのリファレンスクロックを備えた CDR は通常、より大きなジッタ許容値を備えています。OLT にはメインシステムクロックが含まれているため、CDR を慎重に選択して、リファレンスクロックが、大きなジッタ許容値を維持しつつ OLT 周波数に対してクロックリカバリの制御だけを行うようにする必要があります。この実装の主な短所は、リファレンスクロックにある程度のコストが伴うという点と、十分なジッタ許容値を備えた低コスト CDR を選択する必要があるという点です。

結論

論じてきたとおり、GPON システムは、ダウンストリームのデジタルデータのために非常に低い感度を必要とします。前方誤り訂正を使用して GPON システムのリンクバジェットに適合させることができますが、十分な感度と符号化利得を備えた FEC レシーバを設計するには高性能なレシーバ部品が必要となり、当初の予想を超えて、システムのコストと複雑さが増大する可能性があります。

参考資料:

[1] Maxim Integrated Products application note HFAN-4.0.4, "Jitter in Digital Communication Systems, Part 2," <http://pdfserv.maxim-ic.com/en/an/6hfan404.pdf>.

[2] B. Sklar, *Digital Communications: Fundamentals and Applications*, Englewood Cliffs, New Jersey: Prentice Hall, pp. 733-743, 1988.

[3] J. Redd, "Synch and clock recovery – an analog guru looks at jitter," in *Electronic Engineering Times, Planet Analog Section*, Issue 1181, August 27, 2001.