

高速ADCのINL及びDNLの測定

最近になって、優れた静的及び動的性能を備えた高性能アナログデジタルコンバータ(ADC)が発売されています。読者の皆様は「こうした性能をどうやって測定したのだろうか?どんな測定器を使ったのだろうか?」という疑問を持たれるかもしれません。本記事では、ADCに重要な精度パラメータのうち2つ、すなわち積分非直線性(INL)と微分非直線性(DNL)の試験技法について説明します。

INLとDNLは、通信及び高速データ収集アプリケーションに使用される高性能データコンバータの電気的特性の中で最も重要なものとはいえませんが、高分解能画像処理アプリケーションにおいて重要性を増しつつあります。常にADCを扱っている設計者でない限り、これらのパラメータの正確な定義と重要性を忘れがちです。以下の記事はそのための簡単な備忘録です。

INL及びDNLの定義

DNL誤差は実際のステップ幅と1LSBの理想値の間の差として定義されます(図1a)。理想的なADCの場合、微分非直線性DNL = 0LSBとなり、各アナログステップが1LSBとなります(1LSB = $V_{FSR}/2^N$ 、ここで V_{FSR} はフルスケール範囲、NはADCの分解能です)。そして、遷移値は正確に1LSB毎になります。DNL誤差の仕様が1LSB以下になっていると、ミッシングコードのない単調な伝達関数が保証されます。デジタル出力は入力信号と共に増加して(又は一定に留まって)伝達曲線の傾きに符号変化がない場合にADCの単調性が保証されます。DNLは静的利得誤差が除去された後で決められます。定義は次式です。

$$DNL = \left| \frac{(V_{D+1} - V_D) - V_{LSB-IDEAL}}{V_{LSB-IDEAL}} \right|$$

ここで、 $0 < D < 2^N - 2$ です。

V_D はデジタル出力コードDに対応する物理的な値、NはADCの分解能、 $V_{LSB-IDEAL}$ は2つの隣接するデジタルコードの理想的な間隔です。数値化の影響以外のノイズとスプリアス成分を加えた上で、DNL値が大きいと、信号雑音比(SNR)及びスプリアスフリーダイナミックレンジ(SFDR)の点でADCの動的性能が制限されます。

INL誤差は実際の伝達関数の直線からのずれをLSB単位又はフルスケール(FSR)に対する百分率で表したも

です。このため、INL誤差の大きさはこの直線の位置に直接依存します。よく使われる定義は「最近似直線INL」と「両端INL」の2つです(図1b)。

- 最近似直線INLは、オフセット(切片)と利得(傾き)誤差及び伝達関数の位置についての情報を提供します。これは、ADCの実際の伝達関数に最も近い近似形を直線の形で与えます。この線の正確な位置ははっきりと定義されませんが、このやり方は再現性が一番良く、直線性の真の表現として使えます。
- 両端INLはコンバータの伝達関数の両端同士の間を直線を通し、この直線の正確な位置を定義します。ですから、NビットADCの直線はゼロ(全てゼロ)とフルスケール(全て1)の出力によって定義されます。

一般に最近似直線法の方が良い結果を与えるのでこちらが好まれます。INLは静的オフセット及び利得誤差が共に補正された後で測定され、次式で表されます。

$$INL = \left| \frac{(V_D - V_{ZERO}) - V_{LSB-IDEAL} \cdot D}{V_{LSB-IDEAL}} \right|$$

ここで、 $0 < D < 2^N - 1$ です。

V_D はデジタル出力コードDによって表されるアナログ値、NはADCの分解能、 V_{ZERO} は全部ゼロの出力コードに対応する最小アナログ入力、そして $V_{LSB-IDEAL}$ は2つの隣接する出力コードの間の理想的な間隔です。

静的INLとDNLを測定するための一般的なセットアップ

INLとDNLは疑似DC電圧ランプ又は低周波数サイン波を入力にして測定することができます。シンプルなDC(ランプ)テストにおいては、ロジックアナライザ、高精度DAC(オプション)、テストされるデバイス(DUT)の入力範囲を掃引するための高精度DCソース及びPC又はX-Yプロッタへの制御インタフェースが使用されます。

セットアップが高精度DAC(DUTよりもさらに高精度)を含む場合は、ADCの出力データを直接処理することによってロジックアナライザによりオフセット及び利得誤差を監視することができます。高精度信号ソースはADCの入力範囲をゼロスケールからフルスケールへとゆっくりと掃引することによってDUTのテスト電圧を生成します。ADC入力における各テスト電圧がDACによって復元されると、それがDC出力の対応するDCレベルから差し引かれます。これによって生成される小さな電圧差(V_{DIFF})はX-Yプロッタで表示することができ、またINL及びDNL誤差の計算に使用されます。数値化レベルの変化は微分非直線性を示し、 V_{DIFF} のゼロからのずれは積分非直線性の存在を示します。

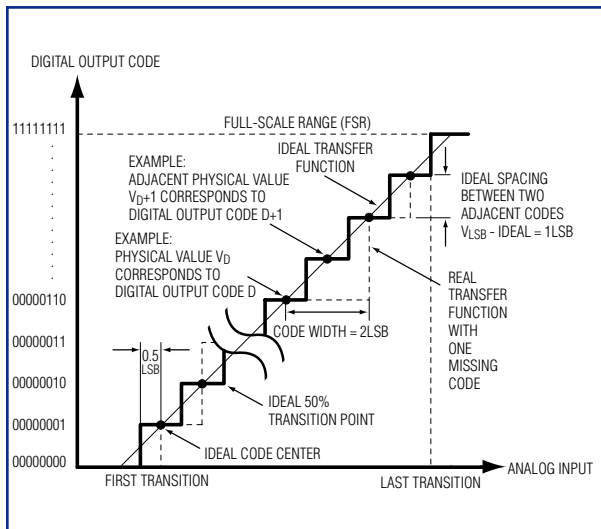


図1a. ミッシングコードがなくて伝達関数が単調であることを保証するためには、ADCのDNLが1LSB以下でなければなりません。

正しい遷移

遷移電圧は2つの隣接するコードを生成する確率が等しい入力電圧として定義されます。(1対の隣接する遷移の間の範囲にあるアナログ入力によって生成されるデジタル出力コードに対応する)公称アナログ値はこの範囲の midpoint (50%ポイント)として定義されます。遷移間隔のリミットが知られていれば、この50%ポイントは簡単に計算できます。遷移間隔リミットを測定し、その間隔を隣接するコードの各々が現れる回数で割ることによって遷移ポイントを求めることができます。

積分アナログサーボループ

ADCの静的直線性パラメータを求めるためのもう1つの方法(前述の方法と似ていますが、もっと複雑です)は積分アナログサーボループです。この方法は速度よりも高精度測定に焦点をおいたテストセットアップにおいて採用されます。

標準的なアナログサーボループ(図2)は、積分器と2つの電流ソースをADCの入力に接続した構成になっています。片方のソースが強制的に積分器へ電流を流し込み、他方は電流シンクの役割を果たします。ADC出力に接続されたデジタル数値コンパレータが両方の電流ソースを制御します。数値コンパレータの他方の入力にはPCによって制御されます。このPCはNビットコンバータの場合($2^N - 1$)個のテストコードを掃引します。

ループの周囲のフィードバックの極性が正しければ、数値コンパレータに制御された電流ソースが与えられたコード遷移の周囲でアナログ入力を「サーボ」します。理想的には、この動作によりアナログ入力に小さな三角

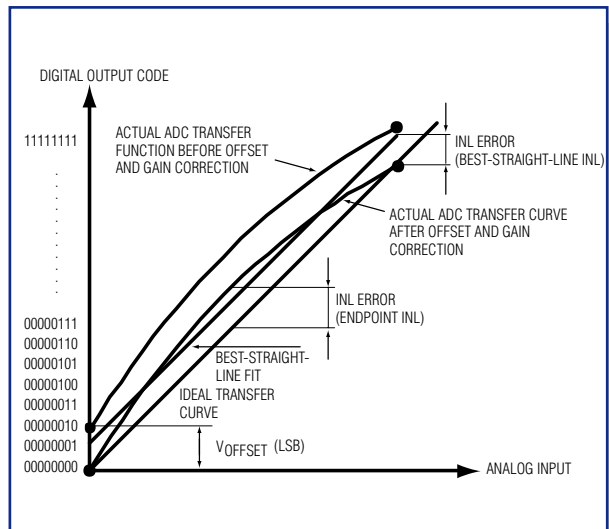


図1b. ADCの直線性特性を定義するために、最近似直線フィット及び両端フィットという2つの方法があります。

伝達関数

理想的なADCの伝達関数は階段状になっていて、各踏み板が特定のデジタル出力コードを表し、各段差が隣接するコード間の遷移を表します。ADCの性能パラメータを決めるには、これらの遷移に対応する入力電圧を求める必要があります。この作業は、高速コンバータで見られるノイズの大きな遷移により、特に複雑なものとなり、最終結果に近くてゆっくりと変化するようなデジタルコードの場合はさらに極端です。

遷移は図1bに見られるようにシャープに定義される訳ではなく、現実的には確率関数として表されます。ゆっくりと増加する入力電圧が遷移を通過すると、ADCは次の隣接するコードに変換するようになります。定義上は、遷移はADCが両側のコードに等しい確率で変換する入力電圧に一致します。

波が生成されます。数値コンパレータはこれらのランプの速度と方向の両方を制御します。積分器のランプ速度は遷移に近づく時に速い必要がありますが、高精度デジタルボルトメータ(DVM)で測定する時に重なった三角波のピーク変位を小さくするには十分遅くする必要があります。

MAX108のINL/DNLテスト用に、サーボループ基板が2つのヘッダを通じて評価基板に接続されています(図3)。片方のヘッダはMAX108の1次(又は補助)出力ポートと数値コンパレータのラッチ可能な入力ポート(P)の間の接続を確立します。他方のヘッダはサーボループ(数値コンパレータのQポート)とコンピュータが発生したデジタルリファレンスコードの間の接続を保証します。

このコンパレータからの完全にデコードされた決定がコンパレータ出力P > QOUTに表れ、積分器の方に渡されます。コンパレータの各結果がスイッチのロジック入力を独立に制御し、それに続くDUTの両入力のための積分器を駆動するために必要な電圧ランプを生成します。このアプローチには利点がありますが、いくつかの欠点もあります。

- ノイズを最小限に抑えるために、三角ランプの dV/dt は小さくする必要があります。この条件は再現性の良い数値をもたらしますが、高精度測定のために長い積分時間を要します。
- 正と負のランプは50%ポイントになるようにマッチングさせる必要があります、低レベル三角波を平均して希望のDCレベルを得る必要があります。

- 積分器の設計には充電コンデンサの注意深い選択が必要です。コンデンサの「蓄積効果」に起因する誤差を最小限に抑えるため、誘電吸収の小さな積分コンデンサを推奨します。
- 精度は積分期間に比例し、セトリング時間に反比例します。

アナログ積分サーボループに接続されたDVMによってINL/DNL誤差対デジタル出力コードが測定されます(図4a、4b)。INL対デジタル出力コードのプロットがパラボラ又は弓形になるのは、偶数次高調波が主であることを示し、S形は奇数次高調波が主であることを示します。

前述のアプローチの欠点をなくするために、サーボループの積分器部分をDUTのデジタル出力コードを捕捉するLビット逐次近似レジスタ(SAR)、LビットDAC及びシン

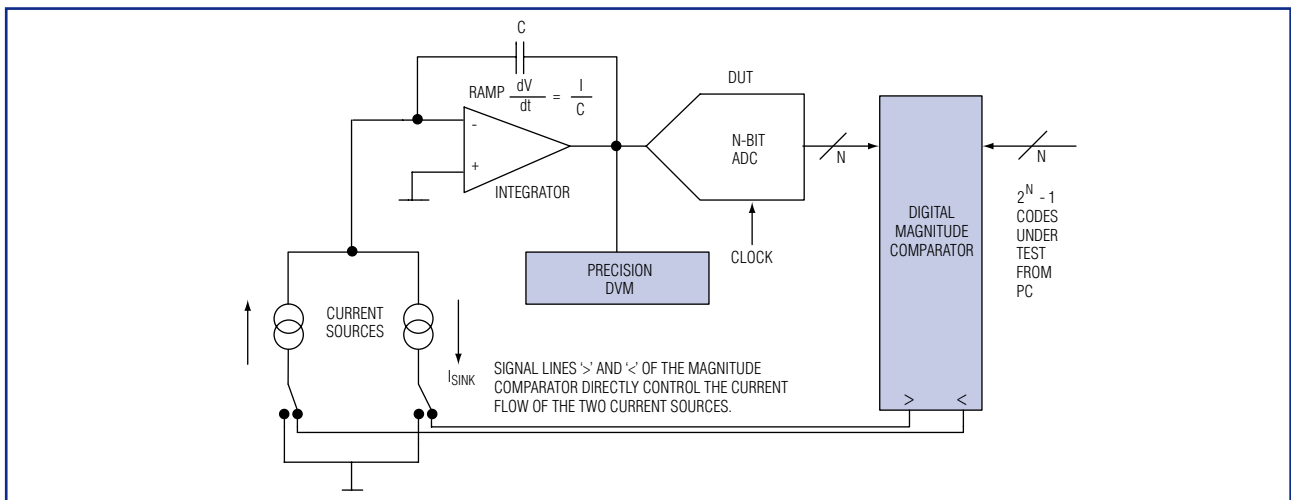


図2. アナログ積分サーボループの回路構成。

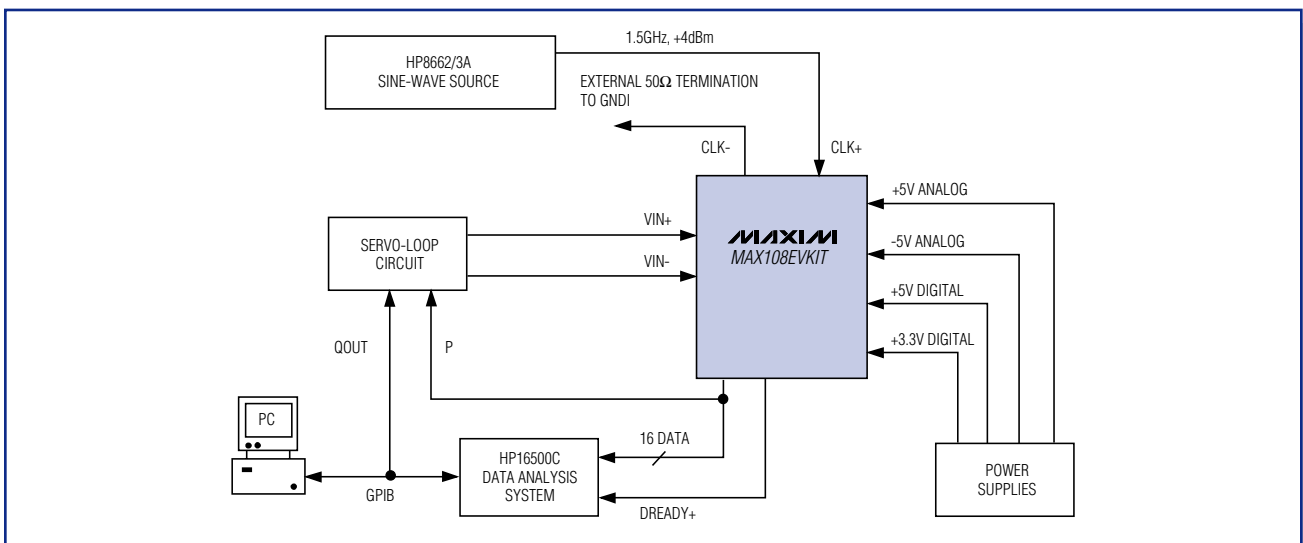


図3. MAX108EVKITとアナログ積分サーボループを用いて、このテストセットアップはMAX108のINL及びDNL特性を決定します。

ブルな平均回路で置換えることができます。数値コンパレータとの組み合わせにより、この回路はSARタイプコンバータ構成(図5)を形成します。この構成においては、数値コンパレータがDACを設定し、DACの出力を読み取り、逐次近似を実行します。その間にDACはテスト対象のNビットADCの入力に高分解能DCレベルを出力します。この場合、ADCを1/8LSBまでトリミングして可能な最良の伝達曲線を得るために、16ビットDACが選択されています。

平均化回路の利点は、ノイズによって数値コンパレータがトグルして不安定になる時に明確になります(これは数値コンパレータが最終結果に近づいた時に起こります)。2つの2分周カウンタが平均化回路に含まれています。「リファレンス」カウンタは、2Mクロックサイクルの周期を持っています。ここでMは周期(ひいてはテスト時間)を左右する設定整数です。「データ」カウンタは数値コンパレータ出力がハイの時にだけカウントしますが、その周期は最初の2M-1サイクルの半分です。

データカウンタは、振幅カウンタ出力がハイの時にだけカウントします。リファレンスカウンタとデータカウンタが協力してハイとローの数を平均し、結果をフリップフロップに保存し、それをSARレジスタに伝えます。この手順を(この場合)16回繰り返すことによって完全なデジタル出力コードワードを生成します。前述の方法と同じように、この方法も利点と欠点を持っています。

- テストセットアップの入力電圧はデジタルで定義されているため、結果を平均する時のサンプル数を簡単に修正することができます。
- SARアプローチはDUTのアナログ入力におけるランブではなくDCレベルを提供します。

- 欠点としては、フィードバックループの中のDACが入力電圧分解能に制限を与えます。

INL及びDNLの動的テスト

ADCの動的非直線性にアクセスするために、入力にフルスケールのサイン波を印加して、全フルパワー入力帯域幅にわたってコンバータのSNRを測定することができます。(数値化ノイズだけで歪みのない)理想的なNビットコンバータの理論SNRは次式になります。

$$\text{SNR}_{\text{dB}} = N \times 6.02 + 1.76$$

この優れた数値の中にグリッチの影響、積分非直線性及びサンプリング時間の不確実性が埋め込まれます。SNR測定を一定周波数で、信号振幅の関数として行うことにより、直線性に関する情報をさらに得ることができます。例えばゼロからフルスケールまで、あるいはその逆方向に全振幅範囲を掃引することにより、ソース振幅がコンバータのフルスケールリミットに近づくにつれてソース信号からのずれが大きくなります。これらのずれの原因を決定するためには、(歪み及びクロックの不安定性を除外してから)スペクトラムアナライザを使って数値化誤差を周波数の関数として解析して下さい。

高速及び低速データコンバータの静的及び動的INLとDNLをテストするためのアプローチはこの他にも多数あります。本稿の目的は、シンプルではあるがスマートで正確なツールと技法を使用して、強力な標準動作特性(TOC)を生成するヒントを提供することです。

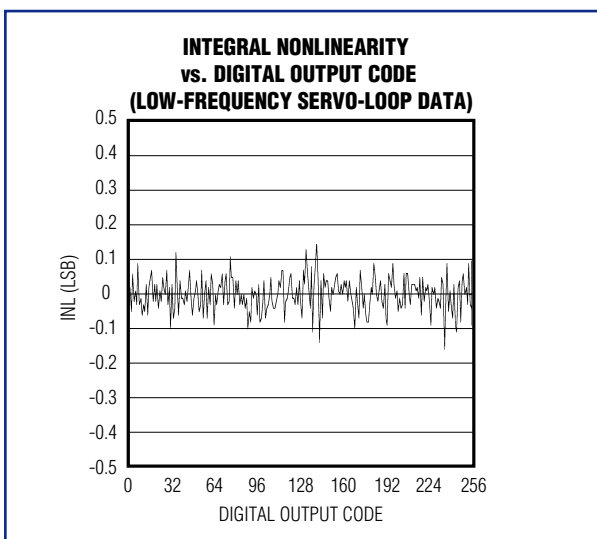


図4a. このプロットはアナログ積分サーボループで捕捉したMAX108 ADCの標準的なINLを示しています。

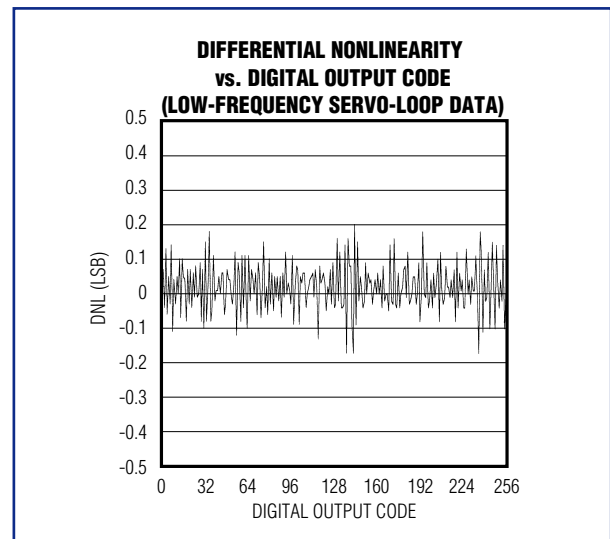


図4b. このプロットはアナログ積分サーボループで捕捉したMAX108の標準的なDNLを示しています。

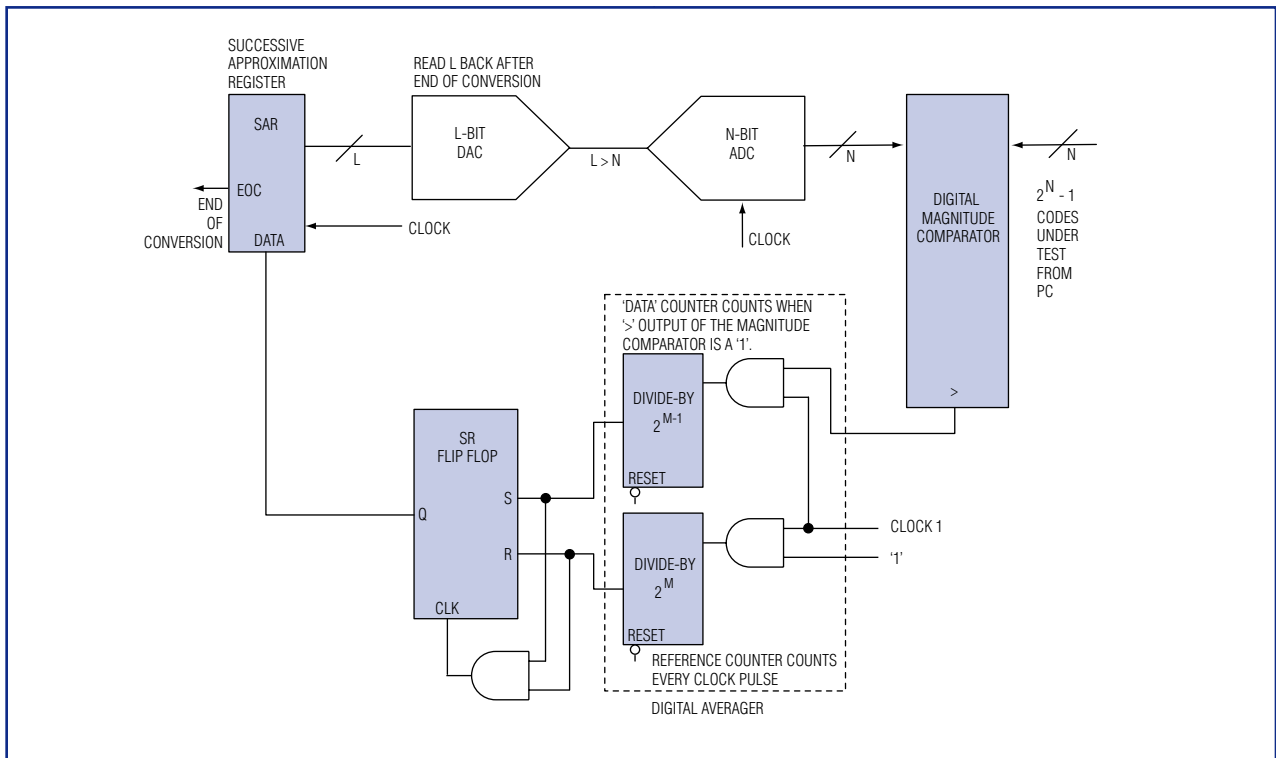


図5. 逐次近似とDAC構成によってアナログサーボループの積分器部分を置換えます。

SARコンバータ

SARコンバータは旧式の化学天秤のような動作をします。片側には未知の入力サンプルが、反対側にはSAR/DAC構成によって生成された第1の錘(最上位ビット、すなわちフルスケール出力の半分)が乗せられます。未知の錘が $1/2$ FSRよりも大きいと、この第1の錘は天秤上に残り、 $1/4$ FSRがさらに加わります。未知の値の方が小さければ、第1の錘は取り除かれて、 $1/4$ FSRで置換えられます。

SARコンバータはこの手順をN回繰り返す、MSBからLSBまで進むことで希望の出力コードを決定します。NはSAR構成のDACの分解能で、各錘は1バイナリビットを表します。

参考文献

- Johns, D., and K. Martin. 1997. *Analog Integrated Circuit Design*.
- Plasche, R. van de. 1994. *Integrated Analog-to-Digital and Digital-to-Analog Converters*.
- Sanchez-Sinencio, E., and A. G. Andreou. 1999. *Low-Voltage/Low-Power Integrated Circuits and Systems --- Low Voltage Mixed-Signal Circuits*.
- MAX108データシート、Rev.1、5/99. Maxim Integrated Products.
- MAX108EVKITデータシート、Rev.0、6/99. Maxim Integrated Products.