

コンパクトなテレコム用電源の設計

テレコム用の電源は、広い入力電圧範囲(36Vから75V)における動作用として規定されており、しかも回路性能が48Vで適正化されています。このような回路設計は、コンパクトかつ効率的で、又カード間の狭いスペースに収まるような薄型のものでなければなりません。この論文では、汎用オフライン電源コントローラMAX5021に基づいてテレコムアプリケーション用の5Wフライバックコンバータに関して論述します。

テレコムシステムには、数多くのラインカードが含まれています。高電力バックプレーンに並列に接続され、それぞれが入力フィルタコンデンサと低電圧電源コンバータを装備しています。並列の入力フィルタコンデンサの数が多の場合、それぞれの値が数マイクロファラッドに制限され、電源の設計がかなり難しくなります。

MAX5021 ICは、広入力範囲の絶縁されたテレコム電源電力供給に適した、高周波、電流モードのPWMコント

ローラで、小型で効率的な電源コンバータ回路の設計を可能にします。26.2kHzの固定スイッチング周波数はスイッチング損失を制御する一方、適度に小型なパワー部品の使用を可能にします。このICには大ヒステリシス及び低スタートアップ電流を持った低電圧ロックアウト機能が含まれています。これによって広入力電圧範囲と低出力電力を特徴とする電源において損失の低い設計が可能です。サイクル毎の電流制限(高速内部コンパレータで達成される)は、MOSFET及びトランスの過剰設計を減らします。その他の特長には、最大デューティサイクル制限及びソースとシンク駆動電流のための高ピーク能力があげられます。参考設計として入力電圧範囲が36V~72Vの5Wフライバックコンバータを記載しました(図1)。

電力ステージ設計

電源設計の第一歩は変換トポロジーを決めることです。トポロジーの選択基準には入力電圧範囲、出力電圧、1次及び2次回路のピーク電流、効率、形状、及び費用が含まれます。

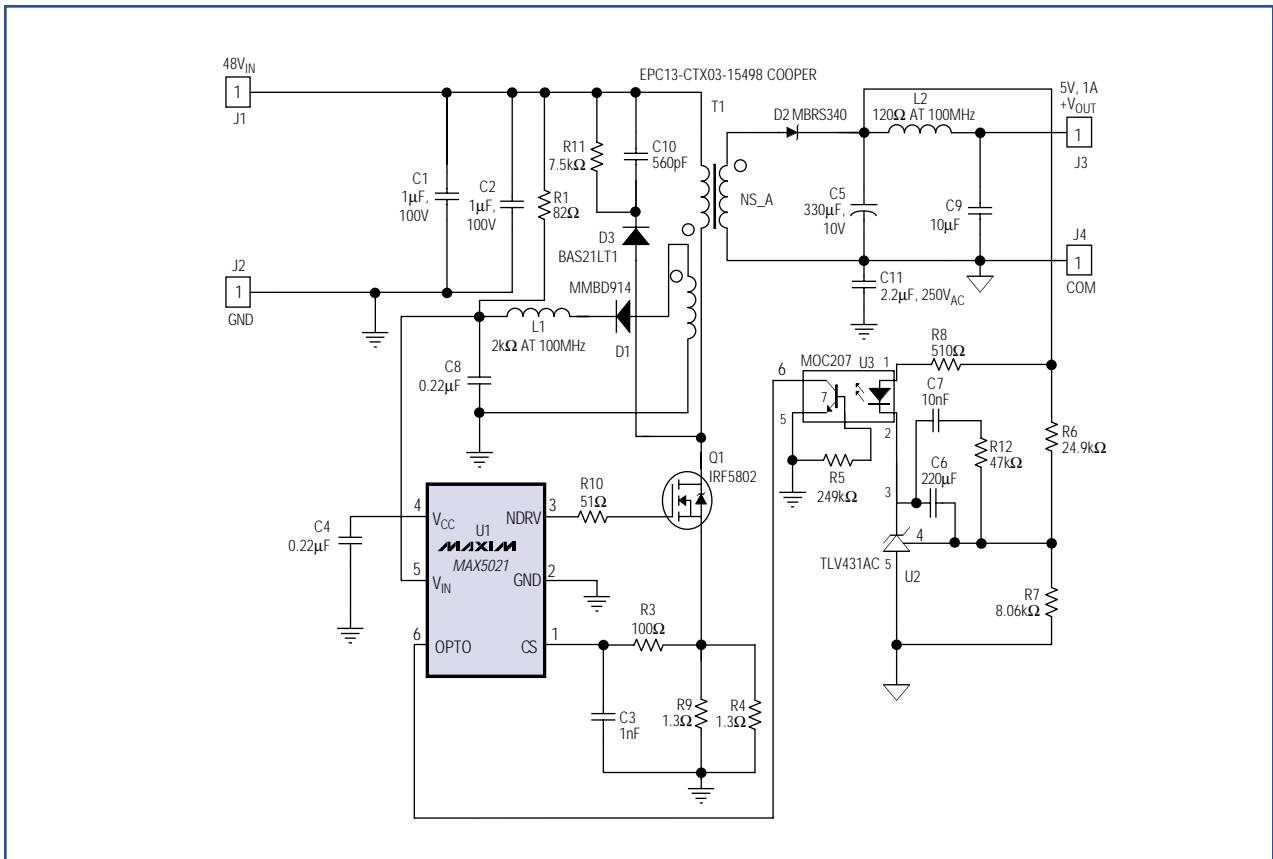


図1. MAX5021PWMコントローラを用いた、このテレコムアプリケーション用フライバックコンバータは5Vで5Wの電力を供給します。

1: 2入力電圧範囲での5W出力及び小型形状に対する最高の選択肢は、最小部品点数によって費用を削減し、形状を縮小できるフライバックトポロジーです。フライバックトランスは、連続モードまたは断続モードでの動作が可能のように設計できます。断続モードでは、オフサイクル中にトランスのコアがエネルギー伝達を完了させ、連続モードでは、エネルギー伝達が完了する前に次のサイクルを開始することが可能です。現在の場合、以下の理由から断続モードを選択しました：磁気部品のエネルギー保存を最大化することが可能(従って部品のサイズが小さくなる)；補償を簡素化することが可能(右半分のプレーンのゼロなし)；及び、更に高いユニティ利得帯域幅を得ることが可能。

断続動作モードの欠点は、1次及び2次回路のピーク対平均電流の比率が高くなることです。より高い比率は、より高いRMS電流を意味し、より高い損失と低効率につながります。低電力変換の場合、断続モードの利点はその欠点を大きく上回ります。更に、ICはこれらのピーク電流を運ぶのに必要な大きなスイッチング用MOSFETの駆動に十分な駆動能力を装備しています。このトポロジーを使いMAX5021を採用するテレコムアプリケーションは、標準MOSFETを使って15Wの電力出力を十分に達成することができます。

トランスの設計

トランスの低ロス及び高効率の鍵は、適切なコアにあります。このコアと巻線面積の積がトランスの許容範囲の温度上昇に伴う電力量を決定します。またコアの選択で考慮すべきことは、トポロジー(巻線内の平均電流対RMS電流の比率)、出力電流、効率、及び形状です。断続モードトランスの設計に関し、下記において段階的に説明します。最初の等式は一般的なもので、2番目の等式が40℃の温度上昇におけるMAX5021電源について規定されていることに留意して下さい。

- 最小面積 - 積の要求条件を見積り、適切な形状のコア及びボピンを選んで下さい。
- 最小オフタイム内でコア放電を保证するための2次巻線インダクタンスを計算して下さい。
- 最大負荷をサポートする十分なエネルギーのための1次巻線インダクタンスを計算して下さい。
- 1次巻線の巻き数を計算して下さい。
- 2次巻線とバイアス巻線の巻き数を計算して下さい。
- コアの A_L 値を計算して下さい。
- 1次巻線のRMS電流を計算し、2次側のRMS電流を見積って下さい。

- 低漏電のための適切な巻線シーケンスとトランスの組み立てを考慮して下さい。

- 1) 必要な最小面積の積を見積るために以下の等式を使って下さい。

$$A_p \geq \frac{(1.1 \times P_{OUT} \times D_{MAX})}{\eta \times K_p \times K_u \times J \times K_T \times B_{MAX} \times f_{SW(MIN)}} \dots (m^4)$$

$$A_p \geq \frac{(2 \times P_{OUT}) \times 10^{-12}}{\eta \times B_{MAX}} \dots (m^4)$$

ここで、

η =期待されるコンバータの効率

K_p =1次側に配分される面積(通常0.5)

K_T =1次側のRMSと平均電流の比率(断続フライバックで0.55から0.65)

K_u =ウィンドウ利用率(0.4から0.5)

J =電流密度(40℃以下の巻線温度上昇で $9.862 \times 10^6 A/m^2$)

B_{MAX} =テスラ単位の最大動作磁束密度(0.12Tから0.15Tの間を使用)

上記で計算された数字に等しいか、またはそれ以上の面積の積(A_p)をもつコアを選び、そのコアの断面積に注意して下さい。出力電力対コアサイズ、 A_p 、及びコアの断面積(A_e)については以下の表を参照して下さい。

出力電力対コアサイズ

| 出力電力 (W) | コアサイズ | $A_p(mm^4)$ | $A_e(mm^2)$ |
|----------|----------|-------------|-------------|
| 2まで | EPC-10 | 30 | 9.4 |
| 3~4 | EEM-12.7 | 90 | 12 |
| 5~8 | EPC-13 | 145 | 12.5 |
| 9~12 | EPD-15 | 216 | 13.5 |

(例については13ページの付録を参照して下さい。)

- 2) すでに論述されたように、断続動作では、オフサイクルの間にコアが放電される必要があります。2次側インダクタンスがコアの放電に必要な時間を決定します。以下の等式を使って2次側インダクタンスを計算して下さい。

$$L_s \leq \frac{(V_0 + V_D) \times (D_{OFF(MIN)})^2}{2 \times I_{OUT} \times f_{SW(MAX)}} \dots (H)$$

$$L_s \leq \frac{430 \times 10^{-9} \times (V_0 + V_D)}{I_{OUT}} \dots (H)$$

ここで、

V_D =2次側ダイオード順方向電圧降下(ボルト)

I_{OUT} =最大定格出力電流(アンペア)

- 3) 1次側の電流上昇は、オンサイクル中コア内にエネルギーを蓄積し、後にオフサイクル中出力電源電力を配電するため放出されます。1次側インダクタンスは、オン時間の間、最大出力電力をサポートするために十分なエネルギーを保持しなければなりません。

$$L_P = \frac{V_{IN(MIN)}^2 \times D_{MAX}^2 \times \eta}{2 \times P_{OUT} \times f_{S(MAX)}}$$

$$L_P = \frac{0.4 \times 10^{-6} \times V_{IN(MIN)}^2 \times \eta}{P_{OUT}} \dots(H)$$

- 4) 次に、1次側にわたる最高V-s積で、限界内における最大磁束密度を維持するために必要な1次側の巻数を計算して下さい。最大動作ピーク電流は、最大デューティサイクルで発生します。

$$N_P = \frac{V_{IN(MIN)} \times D_{MAX}}{A_e \times B_{MAX} \times f_{S(MIN)}} \dots(Turns)$$

$$N_P = \frac{2.1 \times 10^{-6} \times V_{IN(MIN)}}{A_e \times B_{MAX}} \dots(Turns)$$

ここで、

A_e =コアの断面積(平方メートル)

- 5) 1次側巻線数を1番近い整数値に四捨五入して、四捨五入された1次巻線数を使って2次側及びバイアス巻線の巻数を計算して下さい。以下の等式を参照して下さい。

$$N_S = N_P \times \sqrt{\frac{L_S}{L_P}} \dots(Turns)$$

$$N_{BIAS} = \frac{11.7}{V_{OUT} + 0.2} \dots(Turns)$$

2次側及びバイアス整流器ダイオードの順方向バイアス降下は、それぞれ0.2Vから0.7Vであると推定されています。これらの数字はダイオード製造業者のデータシートで確認して下さい。また、2次側及びバイアス巻線について巻線数を最も近い整数値に四捨五入して下さい。

- 6) コアの A_L 値は、磁気経路長のエアギャップに依存します。エネルギーの大半は、MOSFETのオンタイム中にエアギャップに蓄積されます。電磁放射を減らすために、コアの中央レッグ内にエアギャップを挿入して下さい。

$$A_L = \frac{L_P}{N_P^2} \times 10^9 \dots \frac{nH}{Turns^2}$$

- 7) トランス製造業者は、ワイヤの太さを決めるために、1次側、2次側、及びバイアス巻線のRMS電流についてわかっているはずで、表皮効果損失を制御するには、28AWG以下の細さのワイヤが推奨されます。並列での複数のワイヤは、必要な銅の厚さを達成するために使用できます。高周波コンバータではマルチファイラ巻線がよく使われます。1次側及び2次側巻線の最大RMS電流は、50%デューティサイクル(最小入力電圧)及び最大出力電力で発生します。1次側及び2次側RMS電流の計算は以下の等式を使って下さい。

$$I_{PRMS} = \frac{P_{OUT}}{0.5 \times D_{MAX} \times \eta \times V_{IN(MIN)}} \times \sqrt{\frac{D_{MAX}}{3}} \dots(A)$$

$$I_{PRMS} = \frac{1.63 \times P_{OUT}}{\eta \times V_{IN(MIN)}} \dots(A)$$

$$I_{SRMS} = \frac{I_{OUT}}{0.5 \times D_{OFF(MAX)}} \sqrt{\frac{D_{OFF(MAX)}}{3}} \dots(A)$$

$$I_{SRMS} = 1.63 \times I_{OUT} \dots(A)$$

バイアス電流は通常10mA以下なので、ワイヤの太さの選択は電流容量というよりもワイヤ巻き取りの便宜性に依存します。

- 8) 巻き取りテクニック及びシーケンシングは、スイッチターンオフ時、より低い漏電インダクタンススパイクを達成するのに重要です。例えば、バイアス電圧が出力電圧に続くように、2つの1次側半分の間、2次側をはさみ込み、バイアス巻線を2次側巻線近くに維持して下さい。

MOSFETの選択

MOSFETの選択基準には、最大ドレイン電圧、1次側でのピーク/RMS電流、パッケージの最大許容電力消費(ジャンクション温度限界を超えず)が含まれます。MOSFETドレインでの電圧は入力電圧、トランス巻線比によって反映される2次側電圧、及びリークインダクタンススパイクの合計です。(図2はドレイン電圧と1次側電圧の関係を示します。)MOSFETの絶対最大 V_{DS} 定格は、ドレイン電圧(最大入力電圧及び出力負荷)の最悪の場合よりも高くなければなりません。

$$V_{DS(MAX)} = V_{IN(MAX)} + \frac{N_P}{N_S} \times (V_{OUT} + V_D) + V_{SPIKE} \dots(V)$$

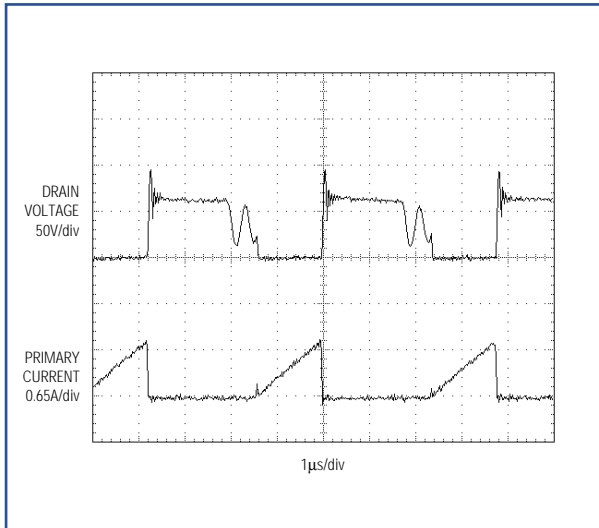


図2. このスコープ写真は、図1の回路の $V_{IN}=36V$ 、 $V_{OUT}=5V$ 、 $I_{OUT}=1A$ での動作を示しています。MOSFET(Q1)をスイッチングすることにより、ドレイン電圧(上部トレース)は50V/目盛、及び1次側電流(下部トレース)が0.65A/目盛を示しています。

より低い V_{DS} 絶対最大定格は、より短いチャンネル、より低い $R_{DS(ON)}$ 、より低いゲートチャージ、及び、より小型のパッケージを意味します。従って、低い N_P/N_S 比を選び、リークインダクタンススパイクを制御下におくことによって $V_{DS(MAX)}$ を低く維持するように薦めます。抵抗/コンデンサ/ダイオード(RCD)スナバネットワークによって、このようなスパイクを抑制できます。

1次側のRMS電流は、MOSFETのDC損失の計算に使うことが可能です。MOSFETのスイッチング損失は、動作周波数、総合ゲートチャージ、及びターンオフ時のクロス伝導損失に依存します。断続伝導モードでは1次側電流がゼロからスタートするので、ターンオフ時のクロス伝導損失はごく僅かです。パワーオン時とフォールト条件下で破損を避けるために、MOSFETの定格出力を下げる必要があるかもしれません。以下の等式を使って、MOSFETの電力消費を見積ります。

$$P_{MOS} = (1.4 \times R_{DS(ON)} \times I_{PRMS}) + (Q_G \times V_{CC} \times f_{S(MAX)}) + \frac{(V_{IN(MAX)} \times I_{PK} \times t_{off} \times f_{S(MAX)})}{4} + \frac{(C_{DS} \times V_{DS}^2 \times f_{S(MAX)})}{2} \dots (W)$$

ここで、
 Q_G =MOSFETの総ゲートチャージ量(クーロン値)
 V_{CC} =バイアス電圧(ボルト)
 t_{OFF} =ターンオフ時間(秒)
 C_{DS} =ドレイン対ソース容量(ファラッド)

RCDスナバネットワークの設計

MOSFETの過剰な V_{DS} 要求条件を避けるために、リークインダクタンスのエネルギーを誘因とするスパイクを抑制するRCDスナバを1次側に使うことを推奨します。このスナバによって、普通ならMOSFET内で拡散してしまうエネルギーを拡散させます。スナバのコンデンサ値は、MOSFETドレイン電圧の上昇を許容限界から超えさせずに、リークインダクタンスエネルギーを吸収するのに十分な高い値であるべきです。以下の等式を使って、この容量を計算して下さい。

$$C = \frac{L_L \times I_{PK}^2}{V_{SPIKE}^2} \dots (F)$$

ここで、

L_L =トランス業者によって規定されるリークインダクタンス。(論述のトランスについては $1\mu H$ から $3\mu H$ の値が普通使われています。) V_{SPIKE} =スパイク電圧、通常、30Vから50Vです。 I_{PK} =ピーク1次電流で、この場合(最悪の場合のスパイク)電流制限スレッシュホールド値を R_{SENSE} で割ったものに等しいものです。

ダイオードは、高速スイッチング型で、少なくともMOSFETの $V_{DS(MAX)}$ 定格に等しいリバースブロック電圧のものでなければなりません。抵抗は、RC時間定数の2から3倍のスイッチング時間で選択されます。抵抗内の電力消費は、リークインダクタンスエネルギーと周波数の積に、コンデンサを横切るDCバイアスを誘因とする電力損失を加算した合計です。以下の等式によって抵抗内の電力消費を概算できます。

$$P_R = \left(\frac{1}{2} \times C_{SNUBBER} \times V_{SPIKE}^2 \times f_S(MAX) \right) + \frac{[(V_O + V_D) \times \frac{N_P}{N_S}]^2 \times (1 - D_{MIN})}{R_{SNUBBER}}$$

ここで、

D_{MIN} =最小デューティサイクル= $D_{MAX}/2$ 。(チップ抵抗には50%定格を下げるのが推奨されます。)

入力フィルタの設計

入力フィルタは、コンバータの電流パルスにおけるAC部品の増幅度を減少させることによって、ソースにコンバータをDC負荷として見せます。このフィルタの設計パラメータは、RMSリップル電流能力、入力電圧、及びソースに反映されるAC部品の許容レベルです。

断続モードのフライバックコンバータは、各サイクル中にコンデンサESRを通じてピーク三角電流を引き出すので、低いESR及び高いリップル電流定格をもつ大型アルミニウム電解コンデンサを必要とします。残念なことに、分散型電力システムでは、並列コンバータの入力フィルタ容量が合計され、スタートアップ時に受容不可能な

突入電流を発生することがあります。代替案として、総容量を低く維持し、低ESR及び高リップル電流定格を達成するのにセラミックコンデンサを使うことが可能です。

入力ピークトゥピークリップル電圧は、コンデンサESR(V_{ESR})による電圧降下及びコンデンサからの充電損失(V_C)の組み合わせです。低ESRセラミックコンデンサは、充電損失とESRリップルそれぞれが3:1の配分を使って下さい。以下の等式を使ってコンデンサ容量及びESRを概算して下さい。

$$C_{IN} = \frac{4 \times P_{OUT} \times 10^{-6}}{\eta \times V_{IN(MIN)} \times \Delta V_C} \dots (F)$$

及び

$$ESR_{IN} = \frac{\Delta V_{ESR}}{I_{PK}} \dots (\Omega)$$

内部温度上昇を伴わないで必要なRMSリップルを取り扱えるコンデンサを選んで下さい(図3)。以下の等式を使って、RMSリップルを見積って下さい。

$$I_{CRMS} = \frac{1.63 \times P_{OUT}}{\eta \times V_{IN(MIN)}} \dots (A)$$

出力フィルタの設計

必要な出力容量は、末端負荷で許容可能なピークトゥピークのリップルレベルに依存します。フライバックコンバータ用の出力コンデンサは、スイッチオン時間中、負荷電流をサポートします。トランスの2次側は、オフサイクル中、コアを放電することによって失われたチャージを補充し、同時に負荷電流を供給します。繰り返しま

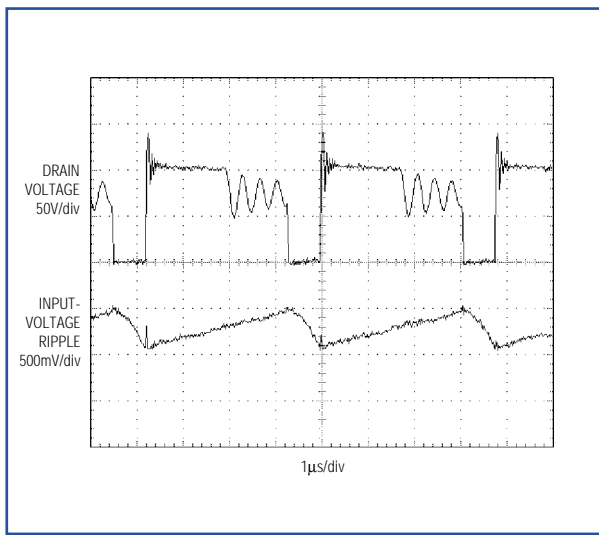


図3. このスコープ写真は、図1の回路の $V_{IN}=72V$ 、 $V_{OUT}=5V$ 、 $I_{OUT}=1A$ での動作を示しています。回路は入力電圧リップル(下部トレース)が500mV/目盛、及びドレイン電圧が(上部トレース)が50V/目盛を示しています。

すが、出力リップルは、出力コンデンサのESR(V_{ESR})による電圧降下、及びスイッチオン時間中のチャージ損失(V_C)の合計です。MAX5021の高スイッチング周波数は、容量条件を減少させます。容量とESRの良好な組み合わせには低ESRタンタルコンデンサを使い、以下の等式を使って容量及びESRを計算して下さい。

$$C_{OUT} = \frac{4 \times (1 - D_{OFF}) \times I_O \times 10^{-6}}{\Delta V_C} \dots (F)$$

及び

$$ESR_O = \frac{\Delta V_{ESR}}{I_O} \dots (\Omega)$$

ここで、

D_{OFF} は以下の等式を使って計算された、放電デューティサイクルです。

$$D_{OFF} = \sqrt{\frac{I_O \times L_S}{2 \times 10^{-6} \times (V_O + V_D)}}$$

追加ノイズスパイクは、出力コンデンサのESLを流れる2次電流のdi/dtによって引き起こされる出力リップルに重畳します。小型LCフィルタは、低エネルギースパイクを抑制することができ、同時にスイッチング周波数リップルの減衰もします。フィルタの位相損失の影響を最小化し、補償と干渉しないことを保証するために、コーナー周波数を概算された閉ループ帯域幅から10以上はなれるように設計すべきです。図4は、LCフィルタ付き、またはフィルタなしのピークトゥピークのリップル波形を示しています。1µFから10µFの低ESRセラミックコンデンサを使い、以下の等式を使ってインダクタンスを計算して下さい。

$$L \leq \frac{1}{4 \times 10^3 \times f_c^2 \times C} \dots (H)$$

ここで、

f_c =概算されたクローズドループ帯域幅

電力損失の考慮

高周波スイッチングコンバータは、スイッチング損失がDC損失に加算されるので非常に損失の多い可能性があります。スイッチング損失を最小限に抑えるために、慎重に部品を選ぶ必要があります。MAX5021は、スイッチング損失を最小限に抑えたとともに、受動部品のサイズを低減するために、適度に高い周波数で動作するように設計されています。MAX5021の低スタートアップ電流及び低自己消費電流は、制御回路の電力損失を最小限に抑えます。スイッチング損失を更に減少させ、より高いコンバータの効率を達成するために、低ゲートチャージ及び低ゲート対ドレイン容量をもつMOSFETを使いMOSFETのDCとスイッチング電力損失をバランスして下さい。コンバータ効率対出力電流のグラフ(図5)を

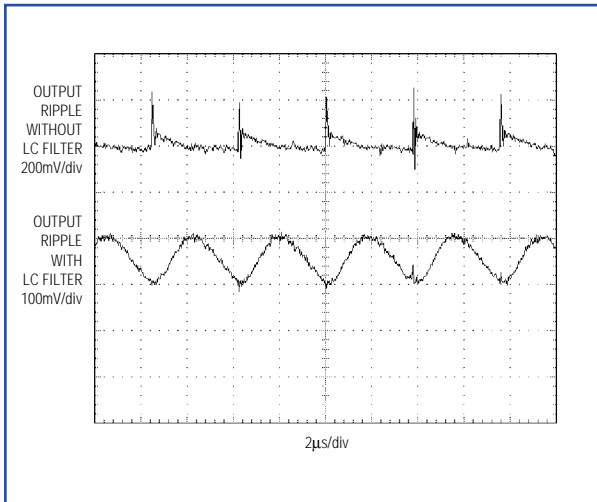


図4. このスクリーン写真は、図1の回路の $V_{IN}=72V$ 、 $V_{OUT}=5V$ 、 $I_{OUT}=1A$ での動作を示しています。この回路は、LCフィルタなし(200mV/div.での上部トレース)よりもLCフィルタ付きの方が(100mV/div.での下部トレース)より少ない出力電圧リップルとなります。

参照し、以下の等式を使ってMOSFETのDC及びスイッチング損失を計算して下さい。

$$P_{MOS} = (1.4R_{DS(ON)} \times I_{PRMS}) + \left(\frac{I_{PK} \times V_D \times t_F \times f_{SW}}{6} \right) + (Q_G \times f_{SW} \times V_{CC})$$

ここで、

Q_G =MOSFETの総ゲートチャージ(ナノクーロン値)

V_{CC} = V_{CC} における電圧(MAX5021の端子4)

t_F =ターンオフ時間(秒)

V_D =ターンオフ時のドレイン電圧(ボルト)

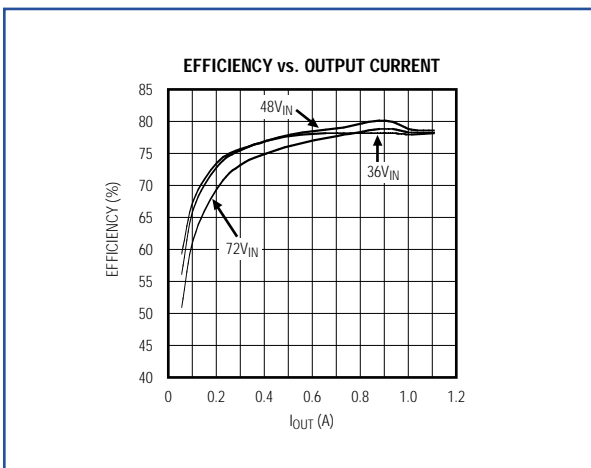


図5. このグラフは図1の回路における効率対出力電流曲線を表しています。

f_{SW} =スイッチング周波数(262kHz)

I_{PK} =1次ピーク電流(アンペア)

低 V_{FB} 及び低リバース回復損失を達成するために2次側にショットキダイオードを使って下さい。スイッチングによるリバース回復損失を無視して、以下の等式を使って2次側ダイオードのDC損失を計算して下さい。

$$P_D = V_{FB} \times I_O$$

ここで、

V_{FB} = $I_{SPK}/2$ 、ボルト単位での2次側ダイオードの順方向ドロップ

1次側巻線半分の2つ間に2次側をはさむことによって、1次と2次側間のトランスリークインダクタンスを低減できます。

周波数補償

断続フライバックコンバータのプレーン右半分(RHP)ゼロの不在は、単一ポールゼロペアへの閉ループ周波数補償を単純化します。RHPゼロの位置から帯域幅限界が発生することはありません。このループは、MAX5021内蔵のシャントレギュレータ、オプトカプラ、及びPWMコンパレータを介して閉じています。誤差アンプのポールとゼロの位置は、既存のPWM利得、出力フィルタポール、及びESRゼロ周波数によって決定されます。以下の等式を使って、電流モードコンバータのPWM利得、出力コンデンサフィルタポール、及び出力コンデンサのESRゼロを計算して下さい。

$$A_{PWM} = \sqrt{\frac{R_L \times L_P \times f_{SW} \times \eta}{2}} \times \frac{6.2 \times 10^3}{R_{LED}} \times CTR$$

$$A_{PWM} = \sqrt{\frac{5 \times 61 \times 10^{-6} \times 262 \times 10^3 \times 0.8}{2}} \times \frac{6.2 \times 10^3}{510} \times 1$$

$$A_{PWM} = 105$$

コンデンサフィルタポール(f_P):

$$f_P = \frac{1}{2 \times \pi \times R_L \times C_O} \dots(\text{Hz})$$

$$f_P = \frac{1}{2 \times \pi \times 5 \times 330 \times 10^{-6}} \dots(\text{Hz})$$

$$f_P = 96 \dots(\text{Hz})$$

コンデンサESRゼロ(f_z) :

$$f_z = \frac{1}{2 \times \pi \times C_O \times \text{ESR}} \dots(\text{Hz})$$

$$f_z = \frac{1}{2 \times \pi \times 330 \times 10^{-6} \times 0.06} \dots(\text{Hz})$$

$$f_z = 8038 \dots(\text{Hz})$$

ここで、

R_L =負荷抵抗

CTR=オプトカプラの電流伝達比率

R_S =1次経路の電流検出抵抗

C_O =出力フィルタコンデンサ

総ループ利得は、PWM利得(A_{PWM})に電圧ドライバ及び誤差アンプ(シャントレギュレータ)の利得を掛け算したものです。最悪な場合の利用可能な位相余裕(PM)は全負荷で発生します。

誤差アンプ、オプトカプラ、及びPWMを組み合わせた応答は、分析して見積るには複雑過ぎます。従って、制御から出力までの閉ループ伝達関数のボード線図をプロットするためには既存の補償ネットワークを使うべきです。その後最大の「位相バンプ」のためクロスオーバー周波数で適切な位置にゼロ及びポールを配置して下さい。クロスオーバー周波数を十分上回るところに-1の利得スロープを維持するためには、誤差アンプポールをESRゼロの位置に配置して下さい。以下の等式を使って誤差アンプのゼロ(f_{ZE})及びポール(f_{PE})を計算して下さい。

$$f_{ZE} = \frac{1}{2 \times \pi \times R_f \times C_f} \dots(\text{Hz})$$

$$f_{ZE} = \frac{1}{2 \times \pi \times 47 \times 10^3 \times 10 \times 10^{-9}} \dots(\text{Hz})$$

$$f_{ZE} = 338 \dots(\text{Hz})$$

$$f_{PE} = \frac{1}{2 \times \pi \times R_f \times C_{ff}} \dots(\text{Hz})$$

$$f_{PE} = \frac{1}{2 \times \pi \times 47 \times 10^3 \times 220 \times 10^{-12}} \dots(\text{Hz})$$

$$f_{PE} = 15,392 \dots(\text{Hz})$$

基板の最適化によって、44度の位相余裕をもつ8kHzの閉ループ帯域幅ができます。図6のボード線図のプロットは、図1の回路に基づき、補償部品の値を示したものです。

負荷を20 μ sで100mAから1Aにスイッチすることによって、出力電圧における小さな偏差、高速セトリング振動の負荷トランジェント応答を検証することが可能です(図7)。過剰補償されたコンバータは、応答時間が増加

します。これはターンオン中の出力オーバシュートを起こす可能性があります。図8は、適正に補償されたループの結果を表しています。

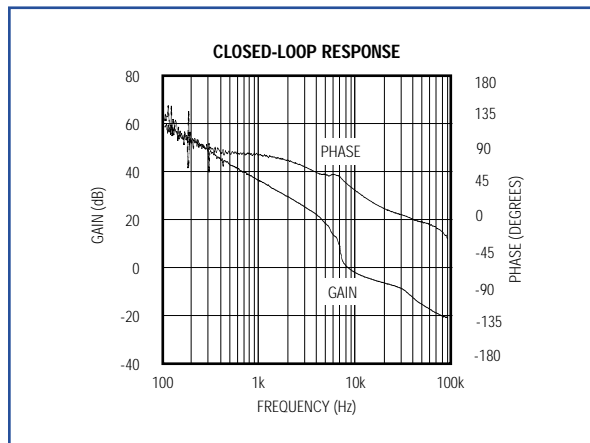


図6. このボード線図のプロットは、図に示されている部品値を使い、図1の回路動作の安定性を表しています。

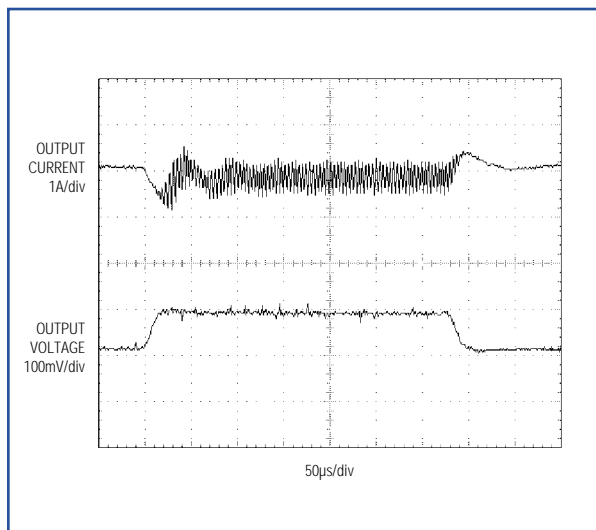


図7. 図1の回路に対するトランジェント応答；1A/目盛での I_{OUT} (下部トレース)及び100mV/目盛での V_{OUT} (上部トレース)。

レイアウト及び安全性のガイドライン

高周波スイッチングコンバータは、スルーレートの高い電流及び電圧波形を発生します。電圧スパイク及び電磁放射を最小限にするために、電流ループ及びPCトレース内のインダクタンスを最小化すべきです。高周波トレースを短く維持するために部品の配置が非常に重要です。優れたレイアウトを実現するには以下のステップに従って下さい。

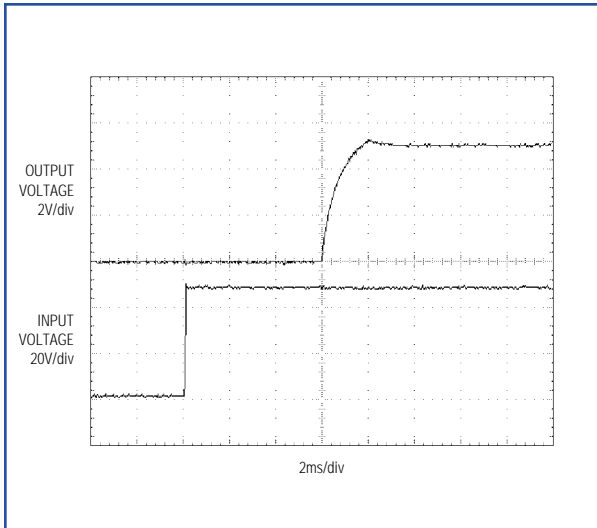


図8. これらのスタートアップ波形は、図1の回路で、適性に補償されたループがある時現われます。この回路は20V/目盛(上部トレース)で48V、2V/目盛(下部トレース)で5Vの入力電圧です。

- 入力コンデンサのプラス端子、トランスの1次側、MOSFETスイッチ、電流検出抵抗、及び入力コンデンサのマイナス端子によって形成されるループを最小化して下さい。
- MAX5021からスイッチングMOSFETまでのゲート駆動トレースを短く維持して下さい。
- RCDスナバ部品を入力コンデンサとMOSFETスイッチの近くに配置して下さい。
- MAX5021V_{CC}、V_{IN}、及びCSピンに接続されたセラミックコンデンサをICの近くに配置して下さい。
- トランスの2次側、2次側ダイオード、及び出力コンデンサによって形成されるループを最小化して下さい。
- PC基板上で効率的なヒートシンクをするために、銅の大きな面積の部分にMOSFETドレイン、トランスの2次側、及び2次側ダイオードに接続して下さい。

回路の種類(SELV、TNV-1、TNV-2、またはTNV-3)及びその汚染度(回路環境によって決定される)によって、1次側と2次側回路間のクリアランス及び沿面距離の必要条件が決まります。異なる回路部品間のクリアランス及び沿面距離の最小距離を確認するには、安全規格エンジニアと相談するか、またはアンダーライターズラポラトリー標準UL60950を参照して下さい。

付録 トランスの設計

V_{IN}=36V~72V、V_{OUT}=5.1V、及びI_{OUT}=1.1Aと規定して以下ようになります。

ステップ1. 面積積(A_P):

$$A_p \geq \frac{(2 \times P_{OUT}) \times 10^{-12}}{\eta \times B_{MAX}} \dots (m^4)$$

$$A_p \geq \frac{(2 \times 5.61) \times 10^{-12}}{0.8 \times 0.12} \dots (m^4)$$

$$A_p \geq 117 \times 10^{-12} \dots (m^4)$$

EPC13(TDK部品番号 PC44EPC13-Z)を選んで下さい。
コアA_P及びA_e:

$$A_p = 145 \times 10^{-12} \dots (m^4)$$

$$A_e = 12.5 \times 10^{-6} \dots (m^2)$$

ステップ2. 2次側インダクタンス(L_S):

$$L_s \leq \frac{430 \times 10^{-9} \times (V_o + V_D)}{I_{OUT}} \dots (H)$$

$$L_s \leq \frac{430 \times 10^{-9} \times (5.1 + 0.4)}{1.1} \dots (H)$$

$$L_s \leq 2.15 \times 10^{-6} \dots (H)$$

ステップ3. 1次側インダクタンス(L_P):

$$L_p = \frac{0.4 \times 10^{-6} \times V_{IN(MIN)}^2 \times \eta}{P_{OUT}} \dots (H)$$

$$L_p = \frac{0.4 \times 10^{-6} \times 34^2 \times 0.8}{5.6} \dots (H)$$

$$L_p = 65 \times 10^{-6} \dots (H)$$

ステップ4. 1次側巻線回数(N_P):

$$N_p = \frac{2.1 \times 10^{-6} \times V_{IN(MIN)}}{A_e \times B_{MAX}} \dots (Turns)$$

$$N_p = \frac{2.1 \times 10^{-6} \times 36}{12.5 \times 10^{-6} \times 0.12} \dots (Turns)$$

$$N_p = 47.6 \dots (Turns)$$

1次側巻線数を四捨五入して、N_p=48

ステップ5. 2次側及びバイアス巻線数(N_S 及び N_{bias}):

$$N_S = N_P \times \sqrt{\frac{L_S}{L_P}} \dots(\text{Turns})$$

$$N_S = 8.7 \dots(\text{Turns})$$

2次側巻線数を四捨五入して、 $N_S=9$:

$$N_{bias} = \frac{11.7}{V_{OUT} + 0.2} \times N_S$$

$$N_{bias} = 19.8$$

バイアス巻線数を四捨五入して、 $N_{bias}=20$

ステップ6. コア値

$$A_L = \frac{L_P}{N_P^2} \times 10^9 \dots \frac{\text{nH}}{\text{Turns}^2}$$

$$A_L = 26 \dots \frac{\text{nH}}{\text{Turns}^2}$$

ステップ7. 1次側及び2次側RMS電流(I_{PRMS} 及び I_{SRMS})

$$I_{PRMS} = \frac{1.63 \times P_{OUT}}{\eta \times V_{INMIN}} \dots(\text{A})$$

$$I_{PRMS} = \frac{1.63 \times 5.1 \times 1.1}{0.8 \times 34} \dots(\text{A})$$

$$I_{PRMS} = 0.33 \dots(\text{A})$$

$$I_{SRMS} = 1.63 \times I_{OUT} \dots(\text{A})$$

$$I_{SRMS} = 1.79 \dots(\text{A})$$