

# DESIGN SHOWCASE

## ダラスセミコンダクタ製 ディレイラインの動作原理

1980年代初頭、ダラスセミコンダクタは、世界に先駆けてシリコンディレイラインを開発しました(図1)。このICは、当時使用されていたモジュール式ディレイラインよりも小型で費用対効果の高いものでした。

最初のダラスセミコンダクタ製ディレイラインは、RC構成のノコギリ波発生器と、発生器の電圧がある値に達するとディレイライン出力を変化させるコンパレータ回路で構成されていました。キャリブレーションは、製造時に、遅延時間が所定の値になるまでレーザーでウェハ上のヒューズを焼き切るという方法で行われました。温度補償の対策はほとんどされていませんでした。

その後、ディレイラインは進化しました。マキシム/ダラスセミコンダクタ製の最新シリコンディレイラインには、電圧制御ディレイライン(VCDL)とプロセスや温度、電圧などの違いにより発生する遅延時間

の乱れを補償する回路とからなる斬新な回路が搭載されています(図2)。

シリコンディレイラインの構築自体は、特に難しいものではありません。論理ゲートには伝搬遅延があり、ディレイラインとして使用できます。難しいのは、プロセスや温度、電圧などの条件がどのように変化しても、規定の遅延時間を精度良く設定できるディレイラインとすることです。遅延時間を安定させるためには、このようなパラメータの影響を受けない補正方法が必要です。

一つの方法はフィードバックです。遅延時間の誤差を求め、その誤差を補正する入力をディレイラインにフィードバックするわけです。この場合、遅延時間の誤差を計測し、遅延時間を制御する方法が必要です。論理ゲートの遅延時間を制御する簡単な方法に、電源電圧を変化させるというものがあります。一般に、電圧が高いほどゲートにおける遅延時間は短くなります。

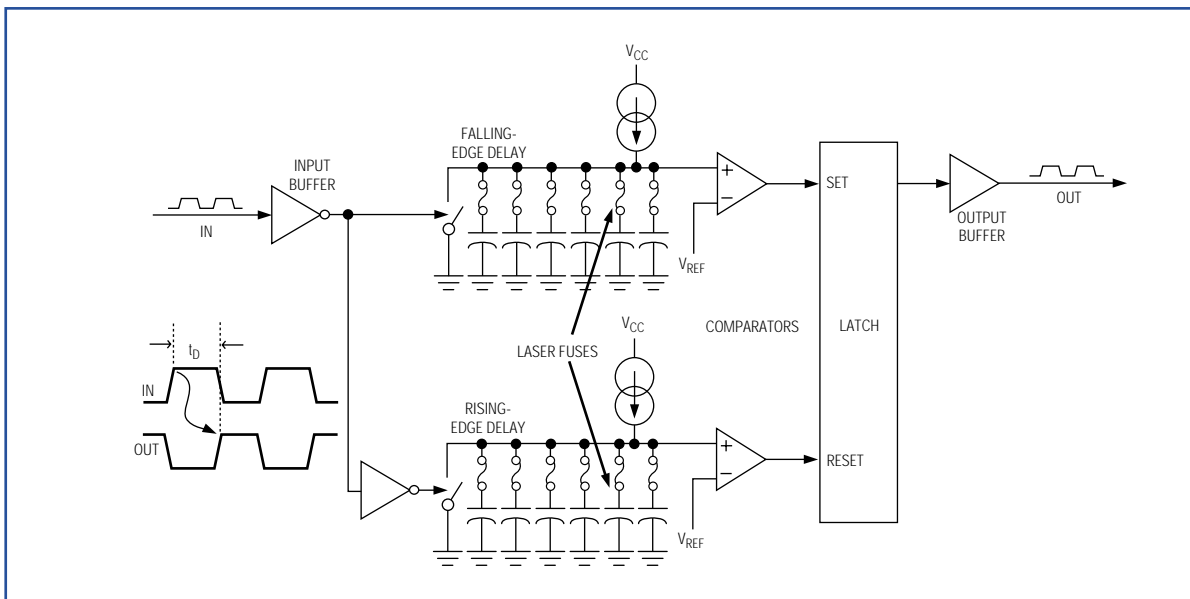


図1. 旧式のDS1000ディレイラインでは、サンプルRC回路で入力信号をシフトさせていました。最終的には、出力バッファで、シフトされた信号を方形波に戻すとともに、フィルタ/シフトプロセス中に発生した信号劣化を除去します。

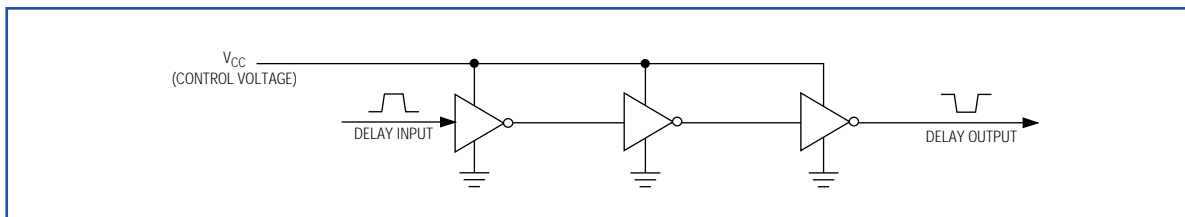


図2. VCDLは、電源電圧に反比例する伝搬遅延を持つNOTゲートだと考えることができます。

遅延時間を計測し、遅延誤差を求めるには、更に仕組みが必要です。遅延時間を定量化する最もシンプルな方法は、遅延時間をもっと計測しやすいもの、例えば周波数などに変換することです。ディレイラインの出力を反転させ、入力にフィードバックすると、周波数  $1/2t_d$  の発振器になります ( $t_d$  は、ディレイライン全体の遅延時間)。これが、VCDLを使った電圧制御発振器 (VCO) です (図3)。

正確な基準周波数があれば、位相ロックループ (PLL) によって VCO 周波数を基準周波数にロックさせ、基準周波数と同じ精度の VCO 周波数を得ることができます。これが、遅延ロックループ (DLL) と呼ばれる回路です。また、基準電圧など、製造時に高精度なキャリブレーションが可能な基準が、シリコンの世界では利用できます。

これで、補正回路を持ったディレイラインを構築するために必要な要素が揃ったこととなります。図4に、3チャンネルのディレイラインを持つ DS1135 のブロックダイアグラムを示します。

この回路で (図4)、発振器出力が、定電流源でバイアスされた電圧制御抵抗にフィードバックされます。制御抵抗は、実はスイッチトキャパシタ回路であり、その DC 抵抗はフィードバック信号の周波数に反比例します。つまり、周波数が高くなるほど電圧は低下します。この電圧は、マッチングした電流源と固定

抵抗器 ( $R_{REF}$ ) で構成される基準電圧と比較されます。 $R_{FREQ}$  は、使用温度範囲と使用電圧範囲で  $R_{REF}$  の特性にマッチングするように調整されます。コンパレータ出力は、フィルタを経由し、VCO の駆動電圧に供給されます。周波数が高くなると  $V_{FREQ}$  が  $V_{REF}$  に対して低くなり、VCO に対する駆動電圧が下がり、周波数が下がります。周波数が下がると、その反対が起き、周波数が上がります。周波数安定度は、 $R_{REF}$  の安定度と等しくなります。 $R_{REF}$  は、使用電圧範囲と使用温度範囲で安定した正確な基準です。 $R_{FREQ}$  は、制御ループにより  $R_{REF}$  と等しく保たれます。制御ループはまた、プロセスや温度、電圧の変動による回路の遅延の変動も打ち消します。

しかし、この回路単独では、ディレイラインとして使うことができません。この回路が実現するのは高安定発振器であり、ガラスセミコンダクタの EconOscillator™ で使われています。幸い、同じシリコンチップ上の遅延セルは、VCO の遅延セル (図3) とほぼ同じ特性を持っています。VCDL (VCO として構成されたもの) に供給される制御電圧は、他の個別遅延セルにも同じ効果をもたらします。開ループ動作であっても、印可された制御電圧の効果は、VCO に構成された遅延セルに対する効果と同じです。つまり、プロセスや温度、電圧による変化に対する補償が実現できるわけです。

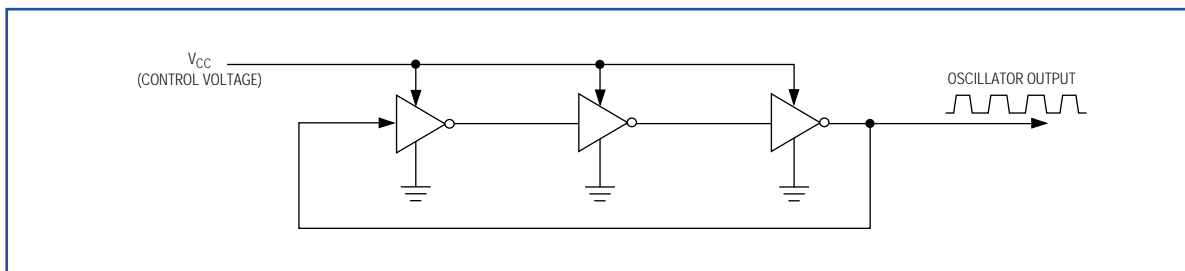


図3. VCDLによるVCO。VCDLは、出力を(入力に対して)反転し、入力にフィードバックすることにより、電圧制御発振器として使うことができます。

これらの遅延セルは、デジチェーン接続してDS1100のようなタップ付きディレイラインにすることも、また、DS1135のように個別に使うこともできます。EconOscillatorのDS1075とDS1077では、発振器部分にプログラマブル分割チェーンが使用され、シリコン発振器をユーザ自身が構成する

ことが可能です。この回路にVCOの制御電圧を制御するDACを組み合わせれば、DS1085のようなフルスケールの周波数シンセサイザができあがります。

上記の回路は、ダラスセミコンダクタの特許技術です(U.S. patent 5,982,241他)。

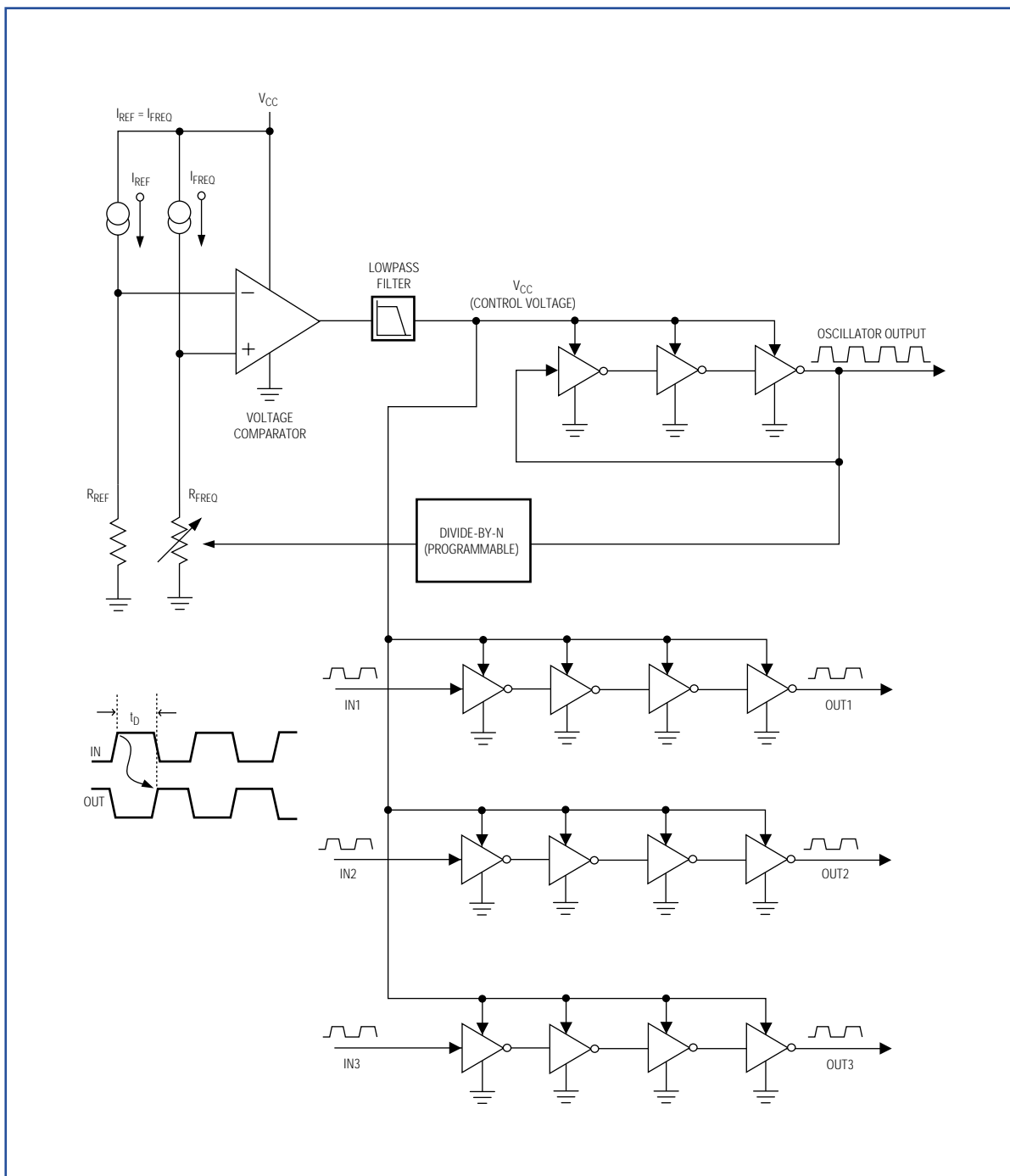


図4. 遅延ロックループ技術によるディレイライン(DS1135)。個々の開ループディレイラインは、閉ループ基準をマスタにキャリブレーションした後、独立ディレイライン、タップ付ディレイラインなどに構成することができます。