

## Dallas Semiconductor 的延迟线如何工作?

早在上个世纪80年代，Dallas Semiconductor 就成为第一家开发全硅延迟线产品的公司(图1)。这些IC为当时使用的模块延迟线提供了一种更小、更加经济的替换方案。

第一代Dallas 延迟线由RC斜坡发生器和比较器电路组成，其中比较器电路在达到斜坡发生器的某个电压值时，转换延迟线输出。校准由工厂在晶片级完成，通过激光熔断熔丝阵列，直至达到期望的延迟时间。这种方案仅提供有限的温度补偿。

现代的延迟线产品更加复杂。Maxim/Dallas Semiconductor 的全硅延迟线包括创新的电路，由压控延迟线(VCDL)和补偿电路组成，补偿电路用来降低由于工艺、温度和电压等变化引起的延迟偏差(图2)。

构建一个硅延迟线不是很困难，任何逻辑门电路都具有传输延迟，可以作为延迟线使用。但是难度在于构建这样的延迟线，要求精确地设定某个特定的延迟时间，且在工艺、温度和电压大范围变化时保持恒定。保持延迟时间稳定要求独立于这些参数的补偿方案。

一种方式可以这样实现，通过反馈决定延迟误差，再通过该误差修正输入，返回至延迟线。这种方式需要一种测量延迟误差和控制延迟时间的方法，控制逻辑门延迟时间的简单方法是改变电源电压。大体上，电源电压越高，通过逻辑门的延迟就越短。

更多的工作是要求测量延迟时间和决定延迟误差。量化延迟时间的最简单方式是将其转换为某种更容易测量的参数，如频率。如果取延

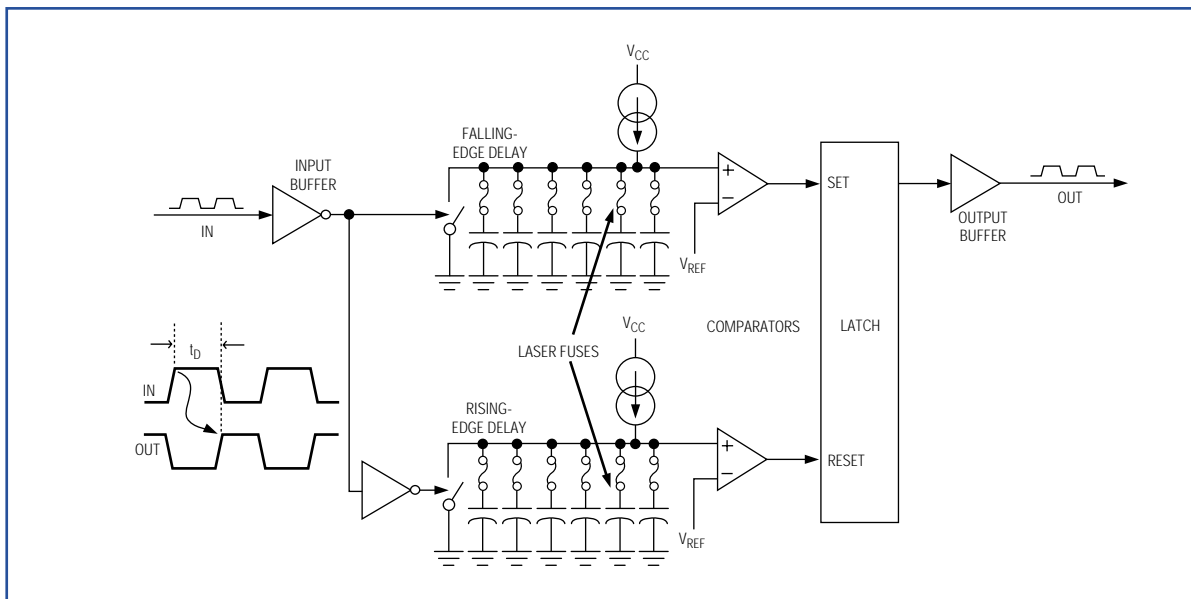


图1. 早期的DS1000延迟线采用RC电路传递信号。接着，输出缓冲器再驱动、整形移动后的信号。以便“平整”或消除在滤波/传递过程中的信号恶化。

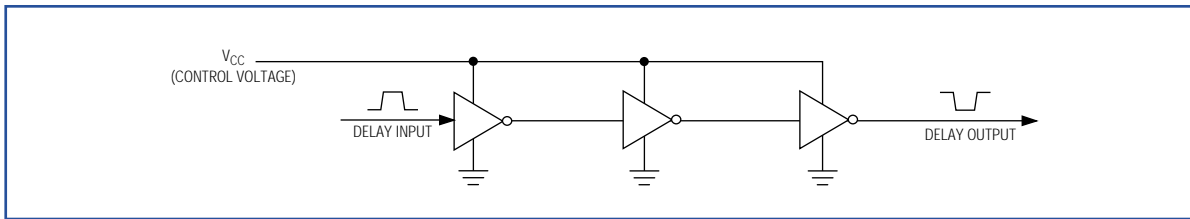


图2. VCDL可以被看成是一个传输延迟反比于电源电压的反相逻辑门。

迟线输出，将其反相，并反馈到其输入端，这样就得到了一个 $1/2td$ 频率的振荡器，这里 $td$ 等于通过延迟线的总延时。在这种情况下，我们就得到了一个基于VCDL(图3)的压控振荡器(VCO)。

利用一个精确的频率基准，锁相环(PLL)被用来锁定VCO频率至基准频率，达到一个相同的精确度。这种方式被称为延迟锁定环(DLL)。其它基准，如电压基准，在硅范围内已经具备，能够在量产时校准到一个很高的级别。

有了这些知识，我们就具备了构建一个补偿型延迟线的所有要素。图4所示为DS1135三合一延迟线的框图。

在图4电路中，振荡器输出反馈至由固定电流源偏置的压控阻抗。压控阻抗实际上是一个开关电容电路，其直流阻抗与反馈输入频率成反比。随着频率的增加，电压将下降。该电压与匹配电流源和固定电阻( $R_{REF}$ )构成的固定电压基准相比较。 $R_{FREQ}$ 被校准，以便在整个温度和电压范围内匹配 $R_{REF}$ 特性。比较器输出经过滤波，提供VCO的驱动电压。随着频率的增加， $V_{FREQ}$ 相对于 $V_{REF}$ 下降，降低了VCO

的驱动电压，从而降低了频率。当频率下降时，将发生相反的情况，以增加频率。频率的稳定性等价于 $R_{REF}$ 的稳定性。 $R_{REF}$ 是一个精密的基准，能够在整个电压和温度范围内保持稳定。控制环路强制 $R_{FREQ}$ 等于 $R_{REF}$ 。控制环路也抵消了由于工艺、温度和电压变化引起的电路延迟部分的变化。

但是，该电路还不能单独作为延迟线使用。它真正构成的是一个稳定的振荡器，这也是Dallas Semiconductor的EconOscillator™振荡器所使用的电路。幸运的是，相同硅片上的延迟单元具有与用于VCO(图3)中延迟单元几乎完全相同的特性。反馈至VCDL(配置为VCO)的控制电压在其它独立的延迟单元上具有相同的作用。所以，即使它们工作于开环方式，加在它们之上的控制电压也具有等同于加在配置于VCO内的延迟单元上的作用。这就为工艺、温度和电压等引起的变化提供了补偿。

这些独立的延迟单元能够菊花链接在一起，构成一个多级延迟线，如DS1100；或者独立使用，如同DS1135那样。EconOscillator振荡器DS1075和DS1077使用的振荡器部分仅与一个

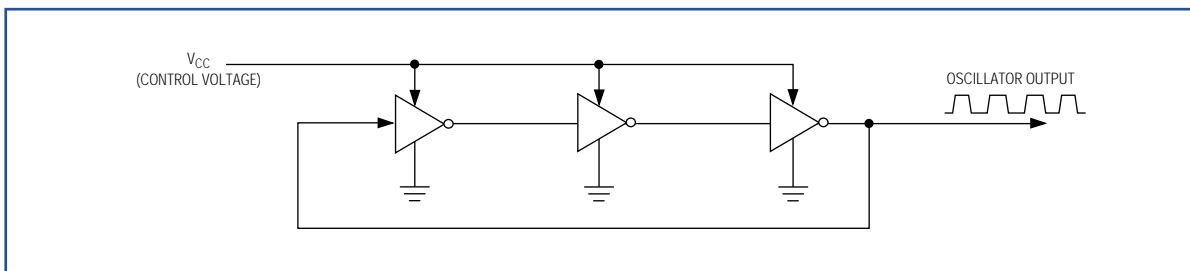


图3. 基于VCDL的VCO。通过反相输出信号(相对于输入)，并将其反馈至输入，就将VCDL变成了一个压控振荡器。

EconOscillator 是 Dallas Semiconductor, Inc. 的一个商标。

可编程分频器链相连接，构成了一个用户可配置的全硅振荡器。该电路结合一个调节VCO控制电压的DAC，就构成了一个满量程的频率合成器，如DS1085。

Dallas Semiconductor拥有上述电路的专利(US专利号5,982,241,以及其它专利)。

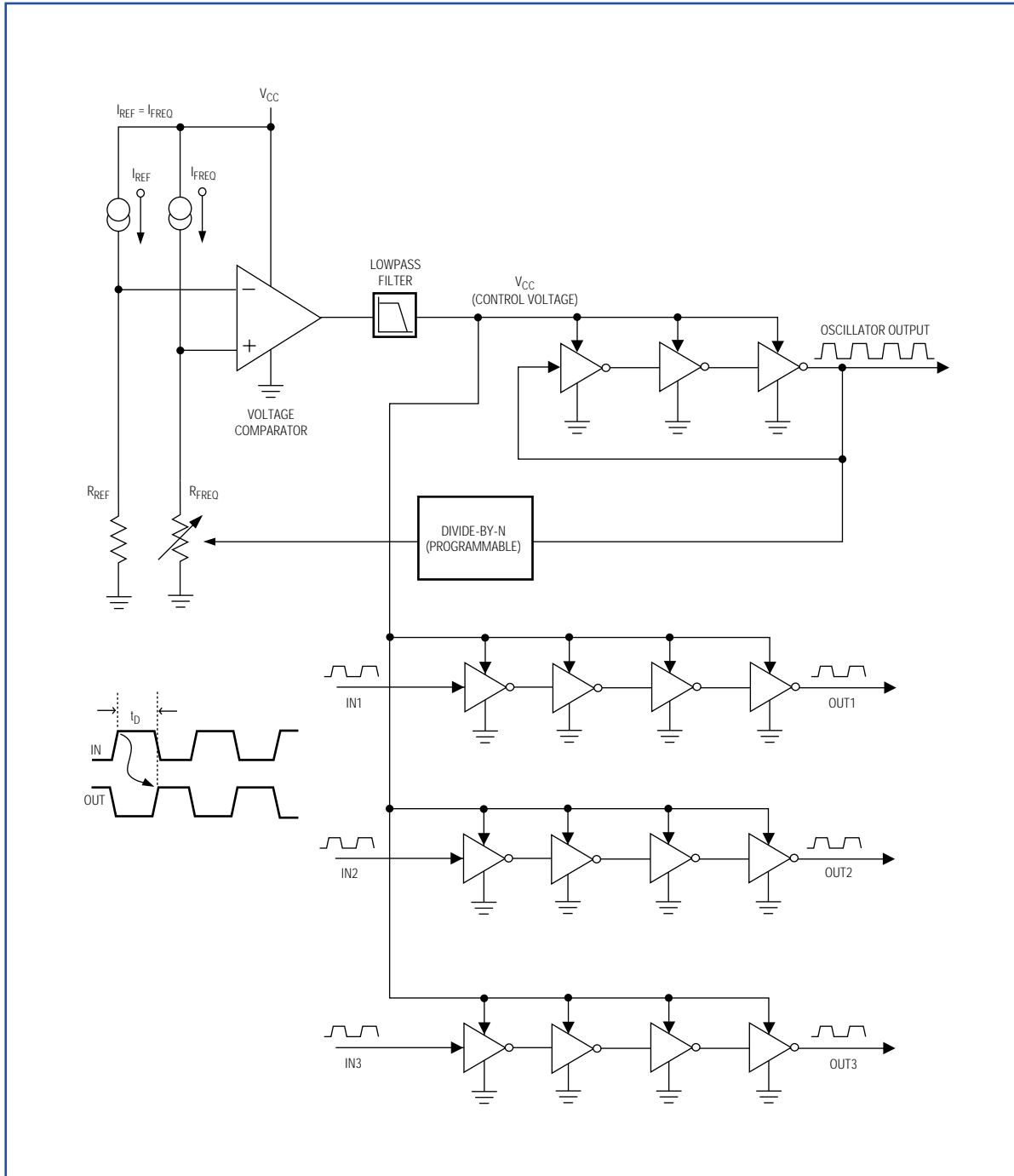


图4. 基于延迟锁定环技术的延迟线(DS1135)。一旦作为主控信号的闭环基准校准了各个开环延迟线，它们就可以配置为独立式、抽头式或其它方式的延迟线。